

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-202296

(43)Date of publication of application : 30.07.1999

(51)Int.Cl. G02F 1/133
G02F 1/136
G09G 3/36

(21)Application number : 10-015151

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 09.01.1998

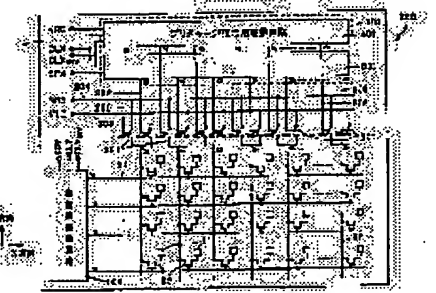
(72)Inventor : MURADE MASAO

(54) DRIVING CIRCUIT FOR ELECTRO-OPTICAL DEVICE, ELECTRO-OPTICAL DEVICE, AND ELECTRONIC EQUIPMENT

(57)Abstract:

PROBLEM TO BE SOLVED: To shorten the precharge period and to miniaturize a driving circuit for electro-optical device, concerning a driving device for writing precharge signals to data lines sequentially one by one of lines.

SOLUTION: A data line driving circuit 101 is composed of a driving circuit 401 for precharge signal and a driving circuit 501 for image signal, and a precharge circuit 201 and a sampling circuit 301 are provided on the side of the data line driving circuit 101 parallelly to data lines 35. Then, a shift register constituting the driving circuit 401 for precharge signal and the driving circuit 501 for image signal is simply composed of a signal fetch part, signal propagating part and feedback part by a clocked inverter and an inverter, for example. Further, clock signals are supplied from a common clock signal supply line through clock signal lines to the shift registers of both the driving circuit 401 for precharge signal and the driving circuit 501 for image signal.



LEGAL STATUS

[Date of request for examination] 09.10.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3484963

[Date of registration] 24.10.2003

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] Two or more data lines with which a picture signal is supplied, and two or more scanning lines with which a scan signal is supplied, The switching means connected to said each data line and said each scanning line, The sampling circuit for being the drive circuit of the electro-optic device equipped with the pixel electrode connected to said switching means, sampling said picture signal, and supplying said data line, The 1st shift register for supplying a control signal to said sampling circuit, The precharge circuit for supplying a precharge signal to said data line in advance of the sampling period for supplying said picture signal to said data line, The drive circuit of the electro-optic device which has the 2nd shift register for supplying a control signal to said precharge circuit, and is characterized by coming to supply a clock signal from a clock signal supply line common to said 1st and 2nd shift registers.

[Claim 2] Two or more data lines with which a picture signal is supplied, and two or more scanning lines with which a scan signal is supplied, The switching means connected to said each data line and said each scanning line, The sampling circuit for being the drive circuit of the electro-optic device equipped with the pixel electrode connected to said switching means, sampling said picture signal, and supplying said data line, The 1st shift register for supplying a control signal to said sampling circuit, The precharge circuit for supplying a precharge signal to said data line in advance of the sampling period for supplying said picture signal to said data line, It has the 2nd shift register for supplying a control signal to said precharge circuit. Between said 1st shift register and 2nd shift register The drive circuit of the electro-optic device characterized by coming to arrange the common clock signal supply line for supplying a clock signal to said 1st and 2nd shift registers.

[Claim 3] Claim 1 characterized by having further the transfer start signal control means which outputs the 1st transfer start signal to said 1st shift register after outputting the 2nd transfer start signal to said 2nd shift register thru/or the drive circuit of the electro-optic device of two given in any 1 term.

[Claim 4] Two or more data lines with which a picture signal is supplied, and two or more scanning lines with which sequential supply of the scan signal is carried out, The switching means connected to two or more of said data line and said two or more scanning lines, It is the drive circuit of the electro-optic device equipped with the pixel electrode connected to each switching means. The sampling circuit which has two or more 1st thin film transistors which intervene between said data lines and supply lines of said picture signal, respectively, samples said picture signal by the flow of this 1st thin film transistor, and is supplied to said data line, respectively, The precharge circuit which has two or more 2nd thin film transistors which intervene between the supply line of a precharge signal, and said data line, respectively, and supplies said precharge signal to said data line by the flow of this 2nd thin film transistor, respectively, The signal taking-in section which incorporates an input signal synchronizing with a clock signal, and the signal propagation section which makes the incorporated signal spread as an output signal, It has the 1st and 2nd shift registers which have the feedback section which returns the output signal from this signal propagation section to the signal input side of this signal propagation section synchronizing with a clock signal in each stage. Come to supply a clock signal from a clock signal supply line common to these 1st and 2nd shift registers, and at least to said sampling circuit in the direction of transfer corresponding to said 1st direction While carrying out the sequential output of

the 1st driving signal which makes it flow through the 1st thin film transistor from each stage of said 1st shift register. The data-line driving means which carries out the sequential output of the 2nd driving signal which makes it flow through the 2nd thin film transistor from each stage of said 2nd shift register in said direction of transfer to said precharge circuit. The drive circuit of the electro-optic device characterized by having the transfer start signal control means which outputs the 1st transfer start signal to said 1st shift register after outputting the 2nd transfer start signal to said 2nd shift register. [Claim 5] Said 1st and 2nd shift registers are claim 1 which is the shift register of bidirection and is characterized by coming to control the direction of transfer of said 1st and 2nd shift registers based on the direction control signal from the common direction control signal section thru/or the drive circuit of the electro-optic device of four given in any 1 term.

[Claim 6] Said sampling circuit and precharge circuit are a drive circuit of an electro-optic device given in any 1 term of claim 1 characterized by being prepared in juxtaposition thru/or claim 5.

[Claim 7] Said transfer start signal control means is the drive circuit of an electro-optic device given in any 1 term of claim 1 characterized by controlling the output initiation timing and pulse width of said 2nd transfer start signal so that it may have a predetermined time interval between the completion timing of an output of said 2nd transfer start signal, and the output initiation timing of said 1st transfer start signal thru/or claim 6.

[Claim 8] The electro-optic device characterized by equipping any 1 term of claim 1 thru/or claim 7 with the drive circuit of the electro-optic device of a publication.

[Claim 9] Electronic equipment characterized by having the electro-optic device of claim 8.

[Translation done.]

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention belongs to the technical field of the electronic equipment using the electro-optic device equipped with the drive circuit of electro-optic devices, such as a liquid crystal panel of the active-matrix drive method by thin film transistor (TFT is called hereafter.) drive etc., and this drive circuit, the electro-optic device with which this drive circuit was prepared on the substrate, or the electro-optic device concerned, and belongs to the technical field of the drive circuit especially equipped with the precharge circuit, an electro-optic device, and electronic equipment.

[0002]

[Description of the Prior Art] Conventionally, in the liquid crystal panel of the active-matrix drive method by TFT drive, the pixel electrode of a large number corresponding to each intersection of much scanning lines and the data line which were arranged in all directions, respectively, and the scanning line and the data line is prepared on the TFT array substrate. And in addition to these, various kinds of circumference circuits which use TFT(s), such as a scanning-line drive circuit, a data-line drive circuit,

and a sampling circuit, as a component may be prepared on such a TFT array substrate.

[0003] Among these circumference circuits, a sampling circuit is a circuit which samples a picture signal, in order to supply the picture signal of high frequency to each data line stably to predetermined timing synchronizing with a scan signal. It is also possible to prepare various kinds of circumference circuits using TFT etc. on a TFT array substrate also out of it from viewpoints, such as improvement in the image quality in a liquid crystal display, reduction of power consumption, and reduction of cost.

[0004] Moreover, a precharge circuit is the timing preceded with the timing to which a picture signal is sampled by said sampling circuit to the data line for the purpose of reduction of improvement in a contrast ratio, the stability of the potential level of the data line, and the Rhine unevenness on a display screen etc., and is a circuit which mitigates the load at the time of writing a picture signal in the data line by supplying a precharge signal (image auxiliary signal). The amount of charges required [after the polarity of a picture signal switches in one horizontal blanking interval in front of a 1 level effective display period in the so-called 1H reversal drive method which reverses and drives the electrical-potential-difference polarity of the data line usually performed in order to carry out the alternating current drive especially of the liquid crystal for every 1 horizontal-scanning period] if the precharge signal of predetermined potential is behind written in the data line beforehand, in case a picture signal will be written in the data line can be lessened notably.

[0005] Since such precharge was conventionally performed to all the data lines within 1 horizontal blanking interval, in consideration of increase of delay of the precharge signal by the capacity of the data line, and the drive load of TFT of the precharge circuit which writes a precharge signal in the data line, it was constituted so that a precharge signal might be supplied to the data line [comparatively long time amount, for example, the time amount more than at least 1.0microsec] from immediately after initiation of said one horizontal blanking interval.

[0006] If highly minute-ization of a liquid crystal panel progressed and the horizontal number of pixels increased very much, since the rate that the 1 level effective display period within 1 horizontal-scanning period occupies would become large and one horizontal blanking interval would become short, it became impossible however, to supply a precharge signal to the data line enough. Moreover, there was a problem that the number of the data line with the need of writing in at once increased, and the drive load of TFT of the precharge circuit which writes in the precharge signal over the data line increased. Moreover, since many current supply sources were performed at once, there was also a problem that the potential of power-source Rhine became unstable. Furthermore, the signal wiring for supplying a precharge signal to the data line became long, and there was a problem that resistance was added or a precharge signal deteriorated as the termination side of the Rhine concerned, so that the number of the data line which writes in a precharge signal increased. Consequently, dispersion arose in the potential written in each data line, and there was a problem of generating the Rhine unevenness on the display screen.

[0007] It preceded with the writing of the picture signal to each data line, and the method which writes a precharge signal in line sequential for every data line was proposed there as indicated by JP,7-295520,A. An example of such a precharge circuit is indicated.

[0008] According to this precharge circuit, there is the one data line which writes in a precharge signal at once, can make the drive load of TFT of a precharge circuit able to mitigate, and can attain stabilization of the potential of power-source Rhine and the data line.

[0009]

[Problem(s) to be Solved by the Invention] However, by the conventional method represented by said official report, in order to write a precharge signal in line sequential for every data line, the need of the shift register which supplies a driving signal to line sequential is carried out to the circuit which samples a precharge signal for every data line, and the circuit concerned. Without the signal of the same width of face as the signal inputted into the first rank of a shift register overlapping mutually as indicated by said official report, for example, this conventional shift register is constituted so that a sequential shift may be carried out, and it had become very complicated circuitry.

[0010] Therefore, since the area of the circumference circuit field prepared outside a pixel field becomes small when it is going to attain the miniaturization of a liquid crystal panel, if the shift register which has above very complicated circuitry is formed in the field concerned, the area for other circuits will be restricted remarkably. Consequently, the precharge circuit for writing a precharge signal in the data line must also be formed in a small area, and cannot but make small size of TFT which constitutes the precharge circuit concerned.

[0011] That is, since it becomes impossible to make on resistance of TFT of a precharge circuit small, in order for the current serviceability concerned of TFT to decline and to perform sufficient precharge, there was a problem that the pulse width of said driving signal for making a precharge signal sample had to be maintained somewhat long.

[0012] However, in high-speed display modes, such as EWS mode, since one horizontal blanking interval turned into a very short period, when the pulse width of said driving signal was maintained somewhat long, a precharge signal and a picture signal will be written in the data line almost continuously, and a picture signal was not correctly supplied in response to the effect of a precharge signal, but it had the problem that a bad influence arose in an image.

[0013] Moreover, the circuit to which a sampling pulse is shifted became what also has an occupancy area of the circuit concerned on liquid crystal equipment big since it is a complicated configuration as mentioned above, and there was a problem that it was difficult to miniaturize liquid crystal equipment. In a configuration of preparing independently the circuit to which the sampling pulse of a picture signal is shifted especially, and the circuit to which the sampling pulse of a precharge signal is shifted, there was a problem that the input of the clock signal for a shift was required for both circuits, and the occupancy area of the circuit to which the sampling pulse of a precharge signal is shifted became still larger by leading about of the pattern of a clock signal.

[0014] Even when this invention is made in view of the trouble mentioned above and it supplies a precharge signal to the data line line sequential, a degree of freedom can be given to the supply timing and supply time amount of a precharge signal within 1 horizontal blanking interval, and it is making into the technical problem to offer the driving gear of the liquid crystal equipment which can miniaturize liquid crystal equipment further, liquid crystal equipment, and electronic equipment.

[0015]

[Means for Solving the Problem] Two or more data lines with which, as for the drive circuit of an electro-optic device according to claim 1, a picture signal is supplied, The switching means connected to two or more scanning lines with which a scan signal is supplied, and said each data line and said each scanning line; The sampling circuit for being the drive circuit of the electro-optic device equipped with the pixel electrode connected to said switching means, sampling said picture signal, and supplying said data line, The 1st shift register for supplying a control signal to said sampling circuit, The precharge circuit for supplying a precharge signal to said data line in advance of the sampling period for supplying said picture signal to said data line, It has the 2nd shift register for supplying a control signal to said precharge circuit, and is characterized by coming to supply a clock signal from a clock signal supply line common to said 1st and 2nd shift registers.

[0016] According to the drive circuit of the electro-optic device of claim 1, like [in the case of writing a precharge signal in all the data lines at once], since degradation of a precharge signal etc. does not arise, the period which writes in a precharge signal can be shortened. Therefore, even if it is at the high-speed display-mode adoption time, while enabling sufficient precharge, the period from write-in termination of a precharge signal to write-in initiation of a picture signal can fully be secured, and the suitable writing of a picture signal is enabled.

[0017] Moreover, the miniaturization of an electro-optic device is realized, without decreasing occupancy area with a simple configuration and moreover taking about a clock signal supply line, since it can respond to a high-speed display mode by shortening of the write-in period of a precharge signal, it can respond to a high-speed display mode by shortening of the write-in period of a precharge signal and

a clock signal is supplied from a clock signal supply line common to the 1st and 2nd shift registers.

[0018] Two or more data lines with which, as for an electro-optic device according to claim 2, a picture signal is supplied, The switching means connected to two or more scanning lines with which a scan signal is supplied, and said each data line and said each scanning line, The sampling circuit for being the drive circuit of the electro-optic device equipped with the pixel electrode connected to said switching means, sampling said picture signal, and supplying said data line, The 1st shift register for supplying a control signal to said sampling circuit, The precharge circuit for supplying a precharge signal to said data line in advance of the sampling period for supplying said picture signal to said data line, It has the 2nd shift register for supplying a control signal to said precharge circuit, and is characterized by coming to arrange the common clock signal supply line for supplying a clock signal to said 1st and 2nd shift registers between said 1st and 2nd shift registers.

[0019] According to the drive circuit of the electro-optic device of claim 2, like [in the case of writing a precharge signal in all the data lines at once like claim 1], since degradation of a precharge signal etc. does not arise, the period which writes in a precharge signal can be shortened. Therefore, even if it is at the high-speed display-mode adoption time, while enabling sufficient precharge, the period from write-in termination of a precharge signal to write-in initiation of a picture signal can fully be secured, and the suitable writing of a picture signal is enabled.

[0020] And since the clock signal is supplied to the 1st and 2nd shift registers from the common clock signal supply line which was formed in the location which approached mutually and was formed between the 1st shift register and the 2nd shift register, the 1st and 2nd shift registers do not need to take about a clock signal supply line intricately, and decrease further the occupancy area of the 1st and 2nd shift registers.

[0021] Moreover, since it can respond to a high-speed display mode by shortening of the write-in period of a precharge signal and a clock signal is supplied from a clock signal supply line common to the 1st and 2nd shift registers, occupancy area is decreased with a simple configuration and the miniaturization of an electro-optic device is realized.

[0022] In claim 1 thru/or the drive circuit of two given in any 1 term, after the drive circuit of an electro-optic device according to claim 3 outputs the 2nd transfer start signal to said 2nd shift register, it is characterized by having further the transfer start signal control means which outputs the 1st transfer signal to said 1st shift register.

[0023] According to the drive circuit of an electro-optic device according to claim 3, if it sees about each data line, the writing of a picture signal will be performed after the writing of a precharge signal, according to the amount of charges supplied as a precharge signal, a precharge signal and a picture signal have few amounts of charges of a picture signal, and end, and the voltage level of each data line serves as a predetermined value, and stabilizes the voltage level of the data line.

[0024] Two or more data lines with which, as for the drive circuit of an electro-optic device according to claim 4, a picture signal is supplied, A switching means by which the scan signal was connected to two or more scanning lines by which sequential supply is carried out, and said two or more data lines and said two or more scanning lines, It is the drive circuit of the electro-optic device equipped with the pixel electrode connected to each switching means. The sampling circuit which has two or more 1st thin film transistors which intervene between said data lines and supply lines of said picture signal, respectively, samples said picture signal by the flow of this 1st thin film transistor, and is supplied to said data line, respectively, The precharge circuit which has two or more 2nd thin film transistors which intervene between the supply line of a precharge signal, and said data line, respectively, and supplies said precharge signal to said data line by the flow of this 2nd thin film transistor, respectively, The signal taking-in section which incorporates an input signal synchronizing with a clock signal, and the signal propagation section which makes the incorporated signal spread as an output signal, It has the 1st and 2nd shift registers which have the feedback section which returns the output signal from this signal propagation section to the signal input side of this signal propagation section synchronizing with a clock

signal in each stage. Come to supply a clock signal from a clock signal supply line common to these 1st and 2nd shift registers, and at least to said sampling circuit in the direction of transfer corresponding to said 1st direction While carrying out the sequential output of the 1st driving signal which makes it flow through the 1st thin film transistor from each stage of said 1st shift register The data-line driving means which carries out the sequential output of the 2nd driving signal which makes it flow through the 2nd thin film transistor from each stage of said 2nd shift register in said direction of transfer to said precharge circuit, After outputting the 2nd transfer start signal to said 2nd shift register, it is characterized by having the transfer start signal control means which outputs the 1st transfer start signal to said 1st shift register.

[0025] According to the drive circuit of an electro-optic device according to claim 4, after the write-in period of picture signals, such as 1 horizontal-scanning period, expires, for example, the 2nd transfer start signal is first outputted by the transfer start signal control means to the 2nd shift register of a data-line driving means. The 2nd shift register which inputted this 2nd transfer start signal incorporates the inputted 2nd transfer start signal in the signal taking-in section synchronizing with a clock signal, and is made to spread it as an output signal in the signal propagation section. Furthermore, the feedback section returns the output signal from said signal propagation section to the signal input side of said signal propagation section synchronizing with a clock signal. Thereby, the 2nd driving signal based on said 2nd transfer start signal is generated, and this 2nd driving signal is outputted as an input signal in the next step of the 2nd shift register while being outputted from the transfer initiation stage of the 2nd shift register. In the next step, while making said input signal incorporate and spread like the preceding paragraph synchronizing with a clock signal, it returns. While the 2nd driving signal in this stage is generated and being outputted as this 2nd driving signal by this, it is further outputted as an input signal in the next step.

[0026] Hereafter, similarly, while the 2nd driving signal is transmitted by each stage of the 2nd shift register one after another, it is outputted as an output signal of each stage, and it is made to flow through the 2nd thin film transistor corresponding to each data line one by one. In a precharge circuit, by the sequential flow of these 2nd thin film transistor, the precharge signal supplied from the supply line of a precharge signal is supplied to line sequential to each data line, and a precharge signal is written in.

[0027] On the other hand, said transfer start signal control means outputs the 1st transfer start signal to said 1st shift register, after predetermined period passing from after the output of said 2nd transfer start signal. The transfer to the next step is repeated to generation and the output list of the 1st driving signal based on this 1st transfer start signal, and it is made to flow through the 1st thin film transistor corresponding to each data line one by one like said 2nd shift register in the 1st shift register. In a sampling circuit, by the sequential flow of these 1st thin film transistor, the picture signal supplied from the supply line of a picture signal is supplied to line sequential to each data line, and a picture signal is written in.

[0028] As mentioned above, although a precharge signal and a picture signal will be written in the data line line sequential, respectively, if they are seen about each data line, the writing of a picture signal will be performed after the writing of a precharge signal, according to the amount of charges supplied as a precharge signal, there are few amounts of charges of a picture signal, and it ends, and the voltage level of each data line becomes beyond a predetermined value certainly, and stabilizes the voltage level of the data line.

[0029] Moreover, as compared with the case where a precharge signal is written in all the data lines at once, it is mitigated remarkably, and the load of the capacitive component of the data line at the time of the writing of a one-time precharge signal to the data line makes the drive load of the 2nd thin film transistor of a precharge circuit mitigate by supplying a precharge signal by line sequential to the data line as mentioned above.

[0030] Furthermore, like [in the case of writing a precharge signal in all the data lines at once], since

degradation of a precharge signal etc. does not arise, the period which writes in a precharge signal can be shortened. Therefore, even if it is at the high-speed display-mode adoption time, while enabling sufficient precharge, the period from write-in termination of a precharge signal to write-in initiation of a picture signal can fully be secured, and the suitable writing of a picture signal is enabled.

[0031] And since the 1st and 2nd shift registers which output said 1st driving signal and 2nd driving signal consist of the signal taking-in section, the signal propagation section, and the feedback section and have very simple composition as mentioned above, the occupancy area at the time of forming on the 1st or 2nd substrate is decreased. Furthermore, since the 1st and 2nd shift registers are constituted so that it may be prepared in the location which approached mutually and a clock signal supply line may be shared mutually, they do not need to take about a clock signal supply line intricately on said 1st or 2nd substrate, and decrease further the occupancy area of the 1st and 2nd shift registers.

[0032] As mentioned above, according to the drive circuit of an electro-optic device according to claim 4, with the 1st and 2nd shift registers which share a clock signal supply line with a simple configuration by shortening of the write-in period of a precharge signal that it can respond to a high-speed display mode, the occupancy area on the 1st or 2nd substrate is decreased, and the miniaturization of a liquid crystal panel is realized.

[0033] In the drive circuit of an electro-optic device given [according to claim 1 to 4] in any 1 term, said 1st and 2nd shift registers of the drive circuit of an electro-optic device according to claim 5 are shift registers of bidirection, and the direction of transfer of said 1st and 2nd shift registers is characterized by coming to be controlled based on the direction control signal from the common direction control signal section.

[0034] According to the drive circuit of an electro-optic device according to claim 5, if a direction control signal is supplied to the direction-of-transfer control section in said 1st and 2nd shift registers as a bidirection shift register through a direction control signal supply line, the direction of transfer of a signal will be restricted to a predetermined one direction based on the direction control signal concerned. Therefore, it becomes possible by switching the value of a direction control signal to reverse the pixel location which writes in the write-in sequence of a picture signal, i.e., a picture signal. And since the configuration of a fundamental shift register is a simple configuration as mentioned above, even when such a direction-of-transfer control section is added, it is possible to make occupancy area small, further, since said each bidirection shift register shares a direction control signal supply line mutually, complicated leading about of a direction control signal supply line can become unnecessary, and occupancy area can be decreased further.

[0035] The drive circuit of an electro-optic device according to claim 6 is characterized by establishing said sampling circuit and precharge circuit in juxtaposition to said data line in the drive circuit of an electro-optic device given in any 1 term of claim 1 thru/or claim 5.

[0036] Since said sampling circuit and precharge circuit are established in juxtaposition to the data line according to the drive circuit of an electro-optic device according to claim 6 From the 1st and 2nd shift registers prepared by approaching as mentioned above Leading about of the supply line of the 1st driving signal and the 2nd driving signal which are connected to these sampling circuits and precharge circuits becomes easy. The occupancy area of the circumference circuit constituted from a precharge circuit by the data-line driving means and sampling circuit list containing the 1st and 2nd shift registers is decreased, and the miniaturization of a liquid crystal panel is realized.

[0037] The drive circuit of an electro-optic device according to claim 7 is characterized by said transfer start signal control means controlling the output initiation timing and pulse width of said 2nd transfer start signal to have a predetermined time interval between the completion timing of an output of said 2nd transfer start signal, and the output initiation timing of said 1st transfer start signal in the drive circuit of an electro-optic device given in any 1 term of claim 1 thru/or claim 6.

[0038] According to the drive circuit of an electro-optic device according to claim 7, as mentioned above, said transfer start signal control means enables the writing of the precharge signal preceded with

the writing of a picture signal by outputting the 1st transfer start signal, after outputting the 2nd transfer start signal, but Furthermore, the output initiation timing and pulse width of said 2nd transfer start signal are controlled to have a predetermined time interval between the completion timing of an output of the 2nd transfer start signal, and the output initiation timing of said 1st transfer start signal. Since the writing of a precharge signal is completed and a picture signal is written in after predetermined time progress to the data line by this, a picture signal does not receive a bad influence with a precharge signal, and is appropriately written in the data line. Moreover, in one horizontal blanking interval, the pulse width of the 2nd transfer start signal can be set up freely. With the electro-optic device which cannot perform sufficient precharge with the lack of a property of TFT etc. by this since a setup of a precharge period can control by adjustment of an external display information processing circuit, since it is relievable, the fall of the yield is not caused, either.

[0039] An electro-optic device according to claim 8 is characterized by equipping any 1 term of claim 1 thru/or claim 7 with the electro-optic device of a publication.

[0040] According to the electro-optic device according to claim 8, even when a high-speed display mode is adopted, by performing sufficient precharge, a contrast ratio improves and a small electro-optic device is offered possible [a display of a good image without the Rhine unevenness on the display screen].

[0041] Electronic equipment according to claim 9 is characterized by having the electro-optic device of claim 8.

[0042] According to electronic equipment according to claim 9, a contrast ratio improves by performing precharge sufficient even when electronic equipment is equipped with the electro-optic device of the invention in this application mentioned above and a high-speed display mode is adopted, and image display of high quality is performed by the electro-optic device which can display a good image without the Rhine unevenness on the display screen. Moreover, since the miniaturization of an electro-optic device is possible, the miniaturization of electronic equipment is realizable.

[0043] Such an operation and other gains of this invention are made clear from the gestalt of the operation explained below.

[0044]

[Embodiment of the Invention] Hereafter, the gestalt of operation of this invention is explained based on a drawing.

[0045] (Configuration of liquid crystal equipment) The whole liquid crystal equipment configuration is first explained with reference to drawing 3 from drawing 1 as an example of an electro-optic device. Drawing 1 is the block diagram showing the configuration of a various wiring, a circumference circuit, etc. which were prepared on the TFT array substrate in the gestalt of operation of liquid crystal equipment, drawing 2 is the top view which looked at the TFT array substrate from the opposite substrate side with each component formed on it, and drawing 3 is a H-H' sectional view of drawing 2 shown including an opposite substrate.

[0046] Liquid crystal equipment 200 is equipped with the TFT array substrate 1 which consists of a quartz substrate, hard glass, etc. in drawing 1. Two or more pixel electrodes 11 prepared in the shape of a matrix on the TFT array substrate 1, The data line 35 which two or more arrays are carried out in the direction of X, and is extended along the direction of Y, respectively, The scanning line 31 which two or more arrays are carried out in the direction of Y, and is extended along the direction of X, respectively, While intervening between each data line 35 and the pixel electrode 11, respectively, two or more TFT30 as an example of the switching element which controls the switch-on and the non-switch-on between these according to the scan signal supplied through the scanning line 31, respectively, respectively is formed. Moreover, although illustration is omitted, on the TFT array substrate 1, the capacity line which is wiring for storage capacitance may be arranged almost in parallel along with the scanning line 31, and storage capacitance may be formed using the bottom of the scanning line of the preceding paragraph.

[0047] The precharge circuit 201 which precedes the precharge signal of a predetermined voltage level

with a picture signal, and supplies it to further two or more data lines 35 on the TFT array substrate 1, respectively, the sampling circuit 301 which samples a picture signal and is supplied to two or more data lines 35, respectively, the data-line drive circuit 101, and the scanning-line drive circuit 104 are formed. [0048] The scanning-line drive circuit 104 impresses a scan signal to the scanning line 31 by line sequential in pulse to predetermined timing at the power source, the reference clock signal CLY and the reversal signal CLYINV which are supplied from an external control circuit (not shown) through the mounting terminal 102 shown in drawing 2, and a list based on a start signal SPY etc.

[0049] The data-line drive circuit 101 consists of a drive circuit 401 for precharge signals, and a drive circuit 501 for picture signals. Among these, the drive circuit 501 for picture signals The power source supplied from an external control circuit (not shown) through the mounting terminal 102 shown in drawing 2, The reference clock signal CLX and the reversal signal CLXINV, and start signal SPX, And in order that the scanning-line drive circuit 104 may sample the picture signal VID as a picture signal according to the timing which impresses a scan signal based on a picture signal VID etc. A sampling circuit driving signal is minded every data line 35, the sampling circuit drive signal line 306 is minded [301], and it supplies.

[0050] On the other hand, the drive circuit 401 for precharge signals The power source supplied from an external control circuit (not shown) through the mounting terminal 102 shown in drawing 2, Said picture signal drive circuit 501, the common reference clock signal CLX, and the reversal signal CLXINV Based on the precharge period setting pulse signal NRG etc., supply of the scan signal over the scanning line 31 of 1 horizontal-scanning period by the scanning-line drive circuit 104 is completed. After polar reversal (signal phase reversal of a picture signal) of a picture signal is completed in one horizontal blanking interval, in order to sample the precharge signal NRS A precharge circuit driving signal is supplied to the precharge circuit 201 every data line 35 through the precharge circuit drive signal line 206.

[0051] The precharge circuit 201 is equipped with the switching elements NR1–NRn which consist of TFT(s) every data line 35. The precharge signal line 204 is connected to the source electrode of switching elements NR1–NRn, and the precharge circuit drive signal line 206 is connected to the gate electrode of switching elements NR1–NRn. And the precharge signal of a predetermined electrical potential difference is supplied through the precharge signal line 204 from an external control circuit (not shown), by supplying a precharge circuit driving signal from the drive circuit 401 for precharge signals through the precharge circuit drive signal line 206 to the timing preceded with the writing of a picture signal which is explained below about each data line 35, switching elements NR1–NRn will be in switch-on, and said precharge signal will be written in each data line 35. In addition, as for the precharge signal supplied to the precharge circuit 201, it is desirable that it is the signal (image auxiliary signal) which is equivalent to the pixel data of middle gradation level with the same polarity (the same signal phase reversal) as a picture signal.

[0052] The sampling circuit 301 is equipped with the switching elements SH1–SHn which consist of TFT(s) every data line 35. The picture signal line 304 is connected to the source electrode of switching elements SH1–SHn, and the sampling circuit drive signal line 306 is connected to the gate electrode of switching elements SH1–SHn. Therefore, if a sampling circuit driving signal is inputted through the sampling circuit drive signal line 306 from the drive circuit 501 for picture signals, the picture signal VID supplied through the picture signal line 304 from an external control circuit (not shown) will be sampled, and sequential supply will be carried out at the data line 35.

[0053] In addition, in drawing 1, although one picture signal line 304 is indicated for simplification, when the dot frequency of a picture signal is quick, in order to reduce a frequency, it may carry out phase expansion of the picture signal VID any phase it is. Although there is no constraint in the number of phase expansions of a picture signal, when carrying out video presentation, since a signal line is the need, if it constitutes from a multiple of 3 in RGB of each, an external control circuit can constitute comparatively easily in it. Moreover, as for it being the need, only several phase expansion minutes of a

picture signal cannot be overemphasized by the picture signal line 304 at least.

[0054] In addition, it connects with the data line 35 at juxtaposition, and both the drain electrodes of the switching elements NR1–NRn of the precharge circuit 201 and the switching elements SH1–SHn of a sampling circuit 301 switch the switch-on of switching elements NR1–NRn and switching elements SH1–SHn to predetermined timing, and are making the picture signal precede and supply a precharge signal to the data line 35 by the drive circuit 401 for precharge signals, and the drive circuit 501 for picture signals.

[0055] In the gestalt of this operation, as shown in drawing 2 and drawing 3, the precharge circuit 201 and the sampling circuit 301 are constituted so that the part or all may be prepared on the TFT array substrate 1 in the location which counters the circumference abandonment 53 of the protection-from-light nature formed in the opposite substrate 2. If such a configuration is taken, the data-line drive circuit 101 and the scanning-line drive circuit 104 are formed on the narrow long and slender circumference part of the TFT array substrate 1 which does not face the liquid crystal layer 50. Moreover, the circumference abandonment 53 of protection-from-light nature may be formed on the TFT array substrate 1. If such a configuration is taken, since the lamination precision of the opposite substrate 2 can be disregarded the TFT array substrate 1 top, the light transmittance of a liquid crystal panel does not vary. In addition, it cannot be overemphasized that the precharge circuit 201 and a sampling circuit may be prepared in the data-line drive circuit 101.

[0056] In drawing 2 and drawing 3, the sealant 52 which consists of a photo-setting resin as an example of the seal member which sticks both substrates in the perimeter of the screen-display field (namely, field of the liquid crystal panel with which an image is actually displayed by the orientation change of state of the liquid crystal layer 50) specified with two or more pixel electrodes 11, and surrounds the liquid crystal layer 50 is formed along the screen-display field on the TFT array substrate 1. And between the screen-display fields and sealants 52 on the opposite substrate 2, the circumference abandonment 53 of protection-from-light nature is formed.

[0057] When put into the TFT array substrate 1 by the case of protection-from-light nature where opening was behind prepared corresponding to the screen-display field, the circumference abandonment 53 so that the screen-display field concerned may not hide in the edge of opening of the case concerned according to a manufacture error etc. That is, it is formed from the band-like protection-from-light nature ingredient which has the width of face of at least 500-micrometer or more extent in the perimeter of a screen-display field so that the gap of about hundreds of micrometers to the case of the TFT array substrate 1 may be permitted, for example. Such circumference abandonment 53 of protection-from-light nature is formed in the opposite substrate 2 of sputtering and the photolithography which used metallic materials, such as Cr (chromium) and nickel (nickel), and etching. Or it is formed from ingredients, such as resin black which distributed carbon and Ti (titanium) to the photoresist.

[0058] The data-line drive circuit 101 and the mounting terminal 102 are formed in the field of the outside of a sealant 52 along the lower side of a screen-display field, and the scanning-line drive circuit 104 is established in the both sides of a screen-display field along with two sides of right and left of a screen-display field. Here, when the wiring delay of the scanning line 31 does not become a problem, the scanning-line drive circuit 104 may be formed only in one side to the scanning line 31. Furthermore, two or more wiring 105 is formed in the surface of a screen-display field. Moreover, the fish eye 106 which consists of flow material for taking an electric flow between the TFT array substrate 1 and the opposite substrate 2 by at least one place of the corner section of the opposite substrate 2 is formed. And the opposite substrate 2 with the almost same profile as a sealant 52 has fixed to the TFT array substrate 1 by the sealant 52 concerned.

[0059] (Gestalt of operation of the 1st of a precharge circuit and a sampling circuit) Next, the concrete circuitry of the switching elements NR1–NRn which constitute the precharge circuit 201 and a sampling circuit 301, and switching elements SH1–SHn is explained with reference to drawing 4 and drawing 5,

respectively. In addition, drawing 4 is the circuit diagram showing various kinds of TFT(s) which constitute the switching elements NR1–NRn of the precharge circuit 201, and drawing 5 is the circuit diagram showing various kinds of TFT(s) which constitute the switching elements SH1–SHn of a sampling circuit 301.

[0060] As shown in drawing 4 (1), the switching elements NR1–NRn (refer to drawing 1) of the precharge circuit 201 may consist of N channel mold TFT202a, as shown in drawing 4 (2), may consist of P channel mold TFT202b, and may consist of complementary-type TFT202c by which the N channel mold TFT and the P channel mold TFT were connected to juxtaposition as shown in drawing 4 (3). In addition, the precharge signal NRS which the precharge circuit driving signals 206a and 206b inputted in drawing 4 (3) through the precharge circuit drive signal line 206 shown in drawing 1 from drawing 4 (1) are inputted into each TFT(s) 202a–202c as gate voltage, and is inputted through the precharge signal line 204 similarly shown in drawing 1 is inputted into each TFT(s) 202a–202c as a source electrical potential difference.

[0061] Precharge circuit driving signal 206a impressed to 202a of the N channel mold TFT as gate voltage and precharge circuit driving signal 202b impressed to P channel mold TFT202b as gate voltage are reversal signals mutual. Therefore, in constituting the precharge circuit 201 from complementary-type TFT202c, at least two or more precharge circuit drive signal lines 206 are needed. In this case, precharge circuit driving signal 206a may be reversed with an inverter just before TFT202c, and wave formation of that reversal signal 206b may be carried out.

[0062] As shown in drawing 5 (1), the switching elements SH1–SHn (refer to drawing 1) of a sampling circuit 301 may consist of N channel mold TFT302a, as shown in drawing 5 (2), they may consist of P channel mold TFT302b, and as shown in drawing 5 (3), they may consist of complementary-type TFT302c. In addition, the sampling circuit driving signals 306a and 306b which the picture signal VID inputted in drawing 5 (3) through the picture signal line 304 shown in drawing 1 from drawing 5 (1) is inputted into each TFT(s) 302a–302c as a source electrical potential difference, and are inputted through the sampling circuit drive signal line 306 from the data-line drive circuit 101 similarly shown in drawing 1 are inputted into each TFT(s) 302a–302c as gate voltage.

[0063] Moreover, also in a sampling circuit 301, sampling circuit driving signal 306a impressed to N channel mold TFT302a as gate voltage and sampling circuit driving signal 306b impressed to P channel mold TFT302b as gate voltage are reversal signals like the case of the above-mentioned precharge circuit 201 mutual. Therefore, to constitute a sampling circuit 301 from complementary-type TFT302c, sampling circuit driving signal 306a and at least two or more sampling circuit drive signal lines 306 for 306b are required. For example just before complementary-type TFT302c, in the case of a sampling circuit 301, sampling circuit driving signal 306a may be reversed with an inverter, and wave formation of the reversal signal 306b may be carried out.

[0064] (Gestalt of operation of the 1st of a drive circuit) Next, the gestalt of operation of the 1st of a drive circuit is explained with reference to drawing 11 from drawing 6. In addition, drawing having shown the data-line drive circuit [in / in drawing 6 / the gestalt of the 1st operation], The circuit diagram showing the configuration of each stage of the shift register with which drawing 7 constitutes a data-line drive circuit, Drawing showing the circuit notation of a clocked inverter [in / in drawing 8 (a) / the data-line drive circuit of this operation gestalt], Drawing in which drawing 8 (b) shows the circuitry of the clocked inverter of drawing 8 (a), The timing chart of various signals [in / in drawing 9 / the data-line drive circuit of drawing 6], the timing chart which shows the timing of precharge [in / in drawing 10 / the data-line drive circuit of drawing 6], and drawing 11 are drawings showing one horizontal blanking interval and precharge period in each display mode.

[0065] First, a data-line drive circuit is explained.

[0066] As shown in drawing 6, the drive circuit 501 for picture signals and the drive circuit 401 for precharge signals which constitute the data-line drive circuit 101 are constituted including the buffer circuit 503 which includes wave control circuits, such as the shift register 502 as the 1st shift register,

and an AND circuit, respectively, and the shift register 402 and the buffer circuit 403 as said shift register 402 and the 2nd shift register of the same configuration.

[0067] The drive circuit 501 for picture signals and the drive circuit 401 for precharge signals which constitute the data-line drive circuit 101 as an example of a data-line driving means from a gestalt of this operation. In the direction of transfer corresponding to the direction of X (direction scanned in order of P1, P2, P3, ..., Pn, and X1, X2, X3, ..., Xn) shown in drawing 1 The sequential output of the precharge circuit driving signal as the sampling circuit driving signal and the 2nd driving signal as the 1st driving signal is carried out from each stage of a shift register 502, 402, respectively. A sampling circuit 301 and the precharge circuit 201 are supplied through the buffer circuit 503, 403.

[0068] In addition, in the drive circuit 501 for picture signals, a wave is chosen and a sampling circuit driving signal is generated so that the period of the ON state of each sampling circuit driving signal may not overlap the buffer circuit 503 including wave control circuits, such as an AND circuit, by controlling the buffer circuit 503 of an odd number train and an even number train by the enable signal from the outside, and it is constituted so that sequential supply may be carried out in a sampling circuit 301. Since it is lost that this incorporates the signal written in the sampling circuit 301 of order, degradation of the display grace by a ghost etc. can be prevented.

[0069] Start signal SPX as the 1st transfer start signal for starting a transfer of a sampling circuit driving signal is inputted into the shift register 502 of the drive circuit 501 for picture signals from A. And if start signal SPX, a clock signal CLX, and its reversal signal CLXINV are inputted, the drive circuit 501 for picture signals delays the sampling circuit driving signal SH of width of face narrower than the pulse width of start signal SPX by the half period of a clock signal CLX one by one, and it consists of timing shown in the timing chart of drawing 9 so that a sampling circuit 301 may be supplied.

[0070] It is constituted so that the precharge period setting pulse signal NRG as the 2nd transfer start signal for setting up the period of precharge may be inputted into the shift register 402 of the drive circuit 401 for precharge signals from A on the other hand. Within the same 1 horizontal blanking interval, the precharge period setting pulse signal NRG always surely sets up so that it may be inputted ahead of start signal SPX of the drive circuit 501 for picture signals. And the buffer circuit 403 carries out multistage cascade connection of the inverter, and if this precharge period setting pulse signal NRG, a clock signal CLX, and its reversal signal CLXINV are inputted, it consists of timing shown in the timing chart of drawing 9 so that signal magnification and corrugating may be performed, so that the drive circuit 401 for precharge signals may be delayed by the half period of a clock signal one by one and may supply the precharge circuit driving signal of width of face equal to the pulse width of the precharge period setting pulse signal NRG to the precharge circuit 201. Here, the buffer circuit 403 may be formed for wave control circuits, such as an AND circuit, as well as the buffer circuit 503 of the drive circuit 501 for picture signals. If such a configuration is taken, there is an advantage which can control the pulse width of a precharge circuit driving signal freely in the period of the pulse width of the precharge period setting pulse signal NRG with the enable signal from the display information processing circuit connected to the exterior of a liquid crystal panel.

[0071] In addition, although illustration is omitted about the scanning-line drive circuit 104, it has the same shift register as the drive circuit 501 for picture signals, and a buffer circuit, and is constituted.

[0072] Next, a shift register 402, 502 is explained in full detail.

[0073] As shown in drawing 6, each stage of a shift register 402, 502 is constituted including the clocked inverter and the inverter. Furthermore, in detail, as shown in drawing 7, it consists of the signal taking-in section 150 which consists of clocked inverters 130, the signal propagation section 151 which consists of inverters 132, and the feedback section 152 which consists of clocked inverters 131 connected so that feedback might be applied to an inverter 132, and the latch circuit configuration of the static mold is carried out. In addition, the latch circuit of a dynamic mold may be prepared by excluding the feedback section 152 and adding capacity to the output section of an inverter 132. Furthermore, the same function is achieved even if it constitutes clocked inverters 130 and 131 from a

below-mentioned transmission gate. Thus, when using a transmission gate, it cannot be overemphasized that it is necessary to carry out two-step cascade connection of the inverter of the signal propagation section 151.

[0074] A clocked inverter is expressed by the notation shown in drawing 8 (a), and it has the input terminal and the gate terminal other than an output terminal. And the circuitry has become like drawing 8 (b), the signal inputted into the gate terminal of the N channel mold TFT is high-level, and when the signal inputted into the gate terminal of the P channel mold TFT is a low level, it operates as a usual inverter circuit. moreover When the signal with which the signal inputted into the gate terminal of the N channel mold TFT is inputted into the gate terminal of the P channel mold TFT with a low level is high-level, an output will be in a hi-z state. In addition, in the drawing of this application, in writing a clocked inverter, as shown in drawing 8 (a), it shall express only the signal connected to the gate terminal of the N channel mold TFT. Moreover, this notation regulation is the same in the circuit which has not only a clocked inverter but a gate terminal.

[0075] With this operation gestalt, since the above circuits constituted each stage of a shift register 402,502, it is the case where a clock signal CLX is inputted into the clocked inverter 130 of the signal taking-in section 150, and the reversal signal CLXINV of a clock signal is inputted into the clocked inverter 131 of the feedback section 152, and as shown in drawing 9, when the precharge period setting pulse signal NRG which starts high-level is inputted into the input signal line IN of the circuit shown in drawing 7, the following actuation is performed. First, said pulse signal NRG is incorporated by the clocked inverter 130 in the standup of a clock signal CLX, and a high-level signal is outputted from the output signal line OUT through an inverter 132. And as for this output state, a clock signal CLX is held during the period of high level. Next, although the output of a clocked inverter 130 will be in a hi-z state if a clock signal CLX falls, since the level of said output signal line OUT has returned to the input side of an inverter 132 with the clocked inverter circuit 131 by which the reversal signal CLXINV of a clock signal CLX was inputted into the gate terminal, feedback will be performed from falling of a clock signal CLX, i.e., the standup of the reversal signal CLXINV, and the level of said output signal line OUT will maintain high level. And in falling of the reversal signal CLXINV, i.e., the standup of a clock signal CLX, although the signal inputted into the input signal line IN is incorporated, as shown in drawing 9, said signal NRG is a low level and the level of the output-signal line OUT also turns into a low level in this timing. Thus, from the output signal line OUT, the pulse signal of the same width of face as the inputted pulse signal NRG will be outputted.

[0076] By equipping each stage of a shift register 402,502 with the above circuits, and replacing by turns the clock signal CLX and the reversal signal CLXINV which are inputted into the gate terminal of a clocked inverter 130 and a clocked inverter 131 for every stage, as shown in drawing 9, the pulse signal from which the clock signal CLX shifted the half period every will be supplied to the precharge circuits NR1-NRn as a precharge circuit driving signal. Moreover, although it is the pulse signal in which the signal outputted from the shift register 502 of the drive circuit 501 for picture signals to which start signal SPX is transmitted also has the same width of face as start signal SPX, an AND is taken by wave control circuits, such as an AND circuit with which the buffer circuit 503 of the drive circuit 501 for picture signals was equipped with the pulse signal concerned, among the enable signals ENB1 or ENB2 as shown in drawing 9 for every stage. Since the pulse width of these enable signals ENB1 or ENB2 is the same as the half period of a clock signal CLX or it has narrow pulse width, the pulse signal which a high-level period as shown in drawing 9 does not overlap as a sampling circuit driving signal will be supplied to sampling circuits SH1-SHn. Thus, in case a picture signal is made to sample, it constituted so that a picture signal might not be supplied to coincidence between each data line 35 TFT30 of a pixel field, and a ghost's etc. generating is prevented.

[0077] Moreover, since the precharge period setting pulse signal NRG is constituted so that only the predetermined period t_m may be early outputted rather than start signal SPX as shown in drawing 9, it will precede with the timing by which a picture signal is sampled, the precharge circuit 201 will be in

switch-on, and the precharge signal NRS supplied through the precharge signal line 204 is supplied to each data line 35. A precharge signal is a signal set as proper potential level, and by such a precharge signal's preceding with supply to the data line 35 of a picture signal, and writing it in the data line 35 concerned, in case it writes a picture signal in the data line 35 concerned, it can lessen the required amount of charges notably. Moreover, even when a picture signal is supplied to the data line 35 at a high rate, the potential level of each data line 35 is stabilized, and reduction of the Rhine unevenness on the display screen and improvement in a contrast ratio can be aimed at.

[0078] Moreover, although the electrical-potential-difference polarity of a picture signal is reversed with this operation gestalt for every predetermined period, such as 1 horizontal-scanning period (one frame) or the 1 field (for example, two frames), in order to carry out the alternating current drive of the liquid crystal. Before each picture signal is supplied to TFT30, as mentioned above, to each data line 35. Since it is preferably equivalent to the picture signal of middle gradation level and the same polar precharge signal as this picture signal is supplied, the load at the time of writing in a picture signal is mitigated, and the potential level of the data line 35 is [** / according to / the potential level impressed to last time] stable. For this reason, this picture signal can be supplied with the potential stabilized in each data line 35.

[0079] Especially, as mentioned above with this operation gestalt, in order to write a precharge signal in line sequential to the data line 35, it is effective when driving a liquid crystal panel with a high-speed display mode. Drawing 10 is a timing chart which shows the timing of precharge of this operation gestalt. In a configuration of performing the polarity of a picture signal for every 1 horizontal-scanning period, it is within a horizontal blanking interval and it is necessary to output the precharge period setting pulse signal NRG at the period t after polar reversal of a picture signal is completed until start signal SPX starts. Although this one horizontal blanking interval changes with display modes as shown in drawing 11, for example, influenced by the vertical frequency in display modes, such as VGA or SVGA, supposing it is about 60 HZ(s), one horizontal blanking interval is about 6.4microsec. Thus, when one horizontal blanking interval was long enough, about 3.9microsec extent reservation could be carried out as for example, a precharge period, and sufficient precharge was able to be performed even if it was the method which precharges by the precharge period setting pulse signal NRG bundling up to all the data lines during a high-level period (namely, t_{NR} of drawing 9). However, for example with display modes, such as XGA or EWS, the horizontal blanking interval was as short as 4.1microsec or 3.8microsec extent, if it was in XGA mode as a precharge period and was in about 1.6microsec and EWS mode, it was extremely as short as about 1.3microsec, and precharge sufficient by precharge method like before put in block was not able to be performed. If it was in EWS mode especially, since the horizontal number of pixels was 1280 pieces, precharge for at least 1280 steps needed to be put in block, and needed to be performed, but when the drive capacity of TFT of a precharge circuit and the time constant of the data line were taken into consideration, it was not fully able to precharge by the precharge period more than 1.0microsec being required.

[0080] On the other hand, in this operation gestalt, as mentioned above, in order to precharge to line sequential to the data line, the load at the time of precharge is data-line 1 duty, and even if it precharges several collectively, there will be little capacity of the data line used as a load remarkably compared with the former. For example, the capacity for several data lines is about 20pF, and supposing the on resistance of TFT of a precharge circuit is 1kohm, 1microsec extent is enough as the precharge period t_{NR} shown in drawing 10. It follows, With this operation gestalt, even when a high-speed display mode like EWS mode as a display mode is adopted, sufficient precharge can be performed.

[0081] With this operation gestalt, as shown in drawing 10, Period t_m is established from the termination of a precharge period to the standup of start signal SPX. This period t_m can be freely set up by controlling the signal of NRG or SPX from the outside in consideration of problems, such as signal delay.

[0082] This invention does the extremely excellent effectiveness so, because the configuration of a shift

register was considered as the configuration simple as mentioned above. Since the configuration of a shift register is simple, it becomes unnecessary to be able to make the occupancy area small, and to be also fully able to secure the area which arranges a precharge circuit, consequently to make size of TFT extremely small. And since the load at the time of precharge is also small as mentioned above, even if display modes are high-speed display modes, such as EWS mode, precharge sufficient in the precharge period of 1microsec extent can be performed. Furthermore, since the period t_m from completion of a precharge period to the standup of the start signal for picture signals is fully securable, a picture signal can be written in appropriately.

[0083] The drive circuit 401 for precharge is formed with the drive circuit 501 for picture signals in the data drive circuit 101, and as shown in drawing 1, since it has composition which communalized the signal-line pattern of a clock signal CLX and the reversal signal CLXINV in the drive circuit 501 for picture signals, and the drive circuit for precharge, even when the miniaturization of liquid-crystal equipment is attained, in this operation gestalt, the driving gear equipped with the shift register for precharge can form further.

[0084] Moreover, since the shift register of a simple configuration as indicated to drawing 6 was adopted according to this operation gestalt, if it constitutes further so that the signal-line pattern of a clock signal CLX and the reversal signal CLXINV may be prepared in the interstitial segment of both shift registers, it is possible [it is possible to put side by side the shift register for precharge and the shift register for picture signals to a small field, and] to keep small the occupancy area of a data-line drive circuit.

[0085] In addition, although there is a limitation in enlarging TFT size of a precharge circuit also in this operation gestalt, as shown in drawing 10, even if one horizontal blanking interval is short, it will be possible [as mentioned above, in order to perform precharge by line sequential, the load of the capacity of the data line at the time of precharge is small, and] to perform precharge sufficient in a short precharge period. That is, if it is within the period t_1 shown in drawing 10, the precharge period setting pulse signal NRG can be outputted at any time. Therefore, when TFT size cannot be enlarged, or when [since pulse width t_{NR} of the precharge period setting pulse signal NRG can be lengthened to some extent,] on resistance cannot fully be lowered, fully securing the period t_m to the standup of start signal SPX by bringing forward the output initiation timing of the precharge period setting pulse signal NRG, it is possible to be [of sufficient precharge and a proper picture signal] writing and for it to be further compatible in the miniaturization of liquid crystal equipment.

[0086] (Gestalt of operation of the 2nd of a drive circuit) Next, the 2nd operation gestalt of the drive circuit of this invention is explained based on drawing 12 thru/or drawing 16. In addition, the same sign is given to a common part with the 1st operation gestalt, and explanation is omitted.

[0087] As this operation gestalt is shown in drawing 13 as a shift register of the drive circuit 401 for precharge signals shown in drawing 12, and the drive circuit 501 for picture signals, the place which used the bidirection shift register differs from the 1st operation gestalt. Although shift registers 402 and 502 are shown in drawing 13, these shift registers are the so-called bidirection shift registers switchable when functioning as a shift register shifted from A in the direction of B, and when functioning as a shift register shifted from B in the direction of A.

[0088] As shown in drawing 13, a bidirection shift register constitutes all shift registers from a clocked inverter, and connects the clocked inverter for direction-of-transfer control to the clocked inverter of the signal taking-in section and the clocked inverter of the feedback section, and a serial. It is constituted so that DXINV which are the direction-of-transfer control signal DX and this reversal signal may be inputted into the gate terminal of the clocked inverter for this direction-of-transfer control, and when the direction-of-transfer control signal DX is high-level, a transfer of a signal is performed in the direction of A in drawing 13 to B, and when the reversal signal DXINV is high-level, a transfer of a signal is performed in the direction of A from B.

[0089] Fundamental actuation of a bidirection shift register is the same as that of the shift register of

the 1st operation gestalt, and when a transfer of a signal is performed in the direction of A in drawing 13 to B, as shown in drawing 14 , supply of a driving signal is performed in the direction of [from the switching element NR1 of the precharge circuit 201] NRn, or the direction of [from the switching element SH1 of a sampling circuit 301] SHn one by one.

[0090] On the other hand, when a transfer of a signal is performed in the direction of B in drawing 13 to A, as shown in drawing 15 , supply of a driving signal is performed in the direction of [from the switching element NRn of the precharge circuit 201] NR1, or the direction of [from the switching element SHn of a sampling circuit 301] SH1 one by one.

[0091] Since it constituted in this operation gestalt so that the direction-of-transfer control signal DX and the reversal signal DXINV might be common-use-ized with both bidirection shift registers although leading about of the pattern of the direction-of-transfer control signal DX and the reversal signal DXINV was further needed compared with the case of the 1st operation gestalt when it considered as a configuration equipped with a bidirection shift register, the occupancy area of 101 of a data-line drive circuit can be stopped small. Moreover, it is enabling the writing of sufficient precharge and a proper picture signal, the configuration of the bidirection shift register itself as well as the 1st operation gestalt realizing the miniaturization of liquid crystal equipment, since it is simple, as shown in drawing 13 . [as well as the 1st operation gestalt]

[0092] Moreover, when using a liquid crystal panel as a light valve of a liquid crystal projector by using the above bidirection shift registers also for the scanning-line drive circuit 104, the double plate method which uses three liquid crystal panels (that is, the color filter is not formed) without a color according to RGB can be adopted, the display screen is made bright, and high-definition image quality is acquired. According to this double plate method, after 3 colored light by which light modulation was separately carried out with the liquid crystal panel of three sheets is compounded by one incident light with prism or a dichroic mirror, it is projected on it on a screen. Thus, if it compounds by prism etc., as shown in drawing 16 , compared with R light and B light which are reflected by prism 502 after the modulation by the light valves 500R, 500G, and 500B of three sheets for RGB, G light will not be reflected by prism 5002. That is, the count of reversal of light decreases about G light only once. Even if this phenomenon constitutes optical system instead of G light, of course so that R light or B light may not be reflected by prism, it is the same, and when a dichroic mirror etc. is used and 3 colored light is compounded further, it happens similarly. Therefore, in such a case, ***** need produces the picture signal about G light right and left in a certain form.

[0093] then — if the liquid crystal panel equipped with a bidirection shift register like this operation gestalt is used — a picture signal — right and left — ***** — things are made and the liquid crystal projector of the above double plate methods can be constituted.

[0094] Moreover, although there is a veneer method which uses only one liquid crystal panel (that is, the color filter was formed in the opposite substrate) of coloring in the liquid crystal projector equipped with said light valve if the liquid crystal panel of this operation gestalt is used — a picture signal — vertically and horizontally — ***** — things being made and also as a type every [which installs ordinarily in a floor the liquid crystal projector of such a veneer method, or the liquid crystal projector of a double plate method mentioned above] floor. It can constitute usable also as a ***** type which attaches in reverse and is installed in head lining. moreover, the liquid crystal display monitor which is liquid crystal equipment of a veneer method like the liquid crystal display monitor of a pocket mold video camera — a user's photography posture — responding — for example, a flexible joint — the supporting point — **** repetition ***** — things are able to be made to be made.

[0095] (Gestalt of operation of the 3rd of a drive circuit) Next, the 3rd operation gestalt of the drive circuit of this invention is explained based on drawing 17 thru/or drawing 19 . In addition, the same sign is given to a common part with the 1st operation gestalt or the 2nd operation gestalt, and explanation is omitted.

[0096] The place where this operation gestalt constituted the direction-of-transfer control section of a

bidirection shift register from a transmission gate 160 instead of a clocked inverter as shown in drawing 17 differs from the 2nd operation gestalt.

[0097] The signal taking-in section and the feedback section in which the direction-of-transfer control section to which a direction of transfer is fixed according to the direction-of-transfer control signal DX and the reversal signal DXINV consists of transmission gates 160, and the bidirection shift register shown in drawing 17 incorporates a signal based on a clock signal CLX and the reversal signal CLXINV are constituted by the clocked inverter 130,131.

[0098] A transmission gate 160 is expressed with the notation shown in drawing 19 (a), and has circuitry of drawing 19 (b). Since the N channel mold TFT and the P channel mold TFT will be to coincidence in switch-on according to the potential difference of the direction control signal DX impressed to a gate electrode or a clock signal CLX, and the transfer signal impressed to the input lateral electrode or output side electrode of a transfer signal, a transmission gate 160 does not need supply of a positive supply VDD and a negative supply VSS like a clocked inverter. Therefore, spacing of each stage where it becomes unnecessary to take about these power-source Bataan in, and a bidirection shift register adjoins can be narrowed compared with the case of the 2nd operation gestalt, and much more miniaturization of liquid crystal equipment is possible.

[0099] Moreover, as shown in drawing 18, all or a part may consist of transmission gates 160 for the direction-of-transfer control signal taking-in section and the feedback section of a bidirection shift register. Thus, if constituted, it is possible to miniaturize liquid crystal equipment further. In addition, all or a part of direction-of-transfer control signal taking-in section of a bidirection shift register and feedback section may consist of a P channel mold TFT or a piece channel mold TFT called the N channel mold TFT instead of a transmission gate. If such a configuration is taken, integration of a circumference circuit can be attained further and a still smaller liquid crystal panel can be realized.

[0100] (Gestalt of operation of the 4th of a drive circuit) Next, the 4th operation gestalt of the drive circuit of this invention is explained based on drawing 20 and drawing 21. In addition, the same sign is given to the 1st operation form or a common part with the 2nd operation gestalt, and explanation is omitted.

[0101] This operation gestalt differs from each operation gestalt which the place constituted so that two or more switching elements of a precharge circuit and a sampling circuit might be driven with one drive signal line mentioned above.

[0102] As shown in drawing 20, to one precharge circuit drive signal line 206 and sampling circuit drive signal line 306, this operation gestalt connects two or more switching elements, and as shown in drawing 21, it sets the write-in timing of a precharge signal to several data lines as coincidence. Therefore, although precharge will be performed at once to several data lines, the load at the time of one-time precharge is small, and can perform sufficient precharge in a short precharge period.

[0103] Moreover, since it can be made larger than each operation gestalt which mentioned above the area of each stage of the shift register of the drive circuit 401 for precharge signals, and the drive circuit 501 for picture signals since a drive signal line can be decreased, easy-ization of a pattern design can be attained.

[0104] Moreover, if it constitutes so that the switching devices NR1-NR3 of the precharge circuit 201 connected to the data line 35 of S1-S3, for example and the switching devices SH1-SH3 of a sampling circuit 301 may be driven to coincidence according to the gestalt of this example; it will become possible to reduce the frequency of the shift register which constitutes the drive circuit 401 for precharge signals, and the drive circuit 501 for picture signals to one third, and the load of an external control circuit will be mitigated. Moreover, if the drive frequency of a shift register is reduced, it can develop the life of TFT which constitutes a shift register, and it not only can make the consumed electric current small, but can offer a reliable liquid crystal panel.

[0105] As mentioned above, although the operation gestalt of a drive circuit was explained, respectively, the drive circuit for precharge signals of a data-line drive circuit and the drive circuit for picture signals,

a precharge circuit, a sampling circuit, or a scanning-line drive circuit can form TFT of a complementary type with the respectively almost same film formation process as TFT30 of a pixel field, and is advantageous on manufacture.

[0106] In addition, although the case where the external control circuit which outputs a clock signal or a picture signal was established in the exterior of liquid crystal equipment to a data-line drive circuit and a scanning-line drive circuit was explained, this invention is not restricted to this and you may make it prepare the control circuit concerned in liquid crystal equipment in each operation gestalt mentioned above.

[0107] Moreover, since the precharge circuit 201 was established in the data-line drive circuit 101 side, you may make it establish an inspection circuit in the field A of the opposite side on both sides of the data line 35, in each operation gestalt explained above, as shown in drawing 2.

[0108] Moreover, according to the exception of modes of operation, such as for example, TN (Twisted Nematic) mode, STN (super TN) mode, and D-STN (double-STN) mode, and the no MARI White mode / NOMA reeve rack mode, a polarization film, a phase contrast film, a polarizing plate, etc. are arranged in a predetermined direction at the side in which the incident light of the side in which the incident light of the opposite substrate 2 of the liquid crystal equipment of each operation gestalt mentioned above carries out incidence, and the TFT array substrate 1 carries out outgoing radiation, respectively.

[0109] Since the liquid crystal panel 10 explained above is applied to an electrochromatic display projector, three liquid crystal panels 10 will be used as a light valve for RGB, respectively, and incidence of the light of each color decomposed through the dichroic mirror for RGB color separation, respectively will be carried out to each panel as incident light, respectively. Therefore, with the gestalt of each operation, the color filter is not prepared in the opposite substrate 2. However, the color filter of RGB may be formed in the predetermined field which counters the pixel electrode 11 with which the protection-from-light layer 23 is not formed in the liquid crystal panel 10 on the opposite substrate 2 with the protective coat. If it does in this way, the liquid crystal panel of the gestalt of this operation is applicable to electrochromatic display equipments, such as electrochromatic display television of direct viewing types other than a liquid crystal projector, or a reflective mold.

[0110] Moreover, the poly-Si TFT of a forward stagger mold or a coplanar mold is sufficient as the switching element of a liquid crystal panel 10, and the gestalt of this operation is effective also to TFT of other formats, such as TFT of a reverse stagger mold, and an amorphous silicon.

[0111] Furthermore, in a liquid crystal panel 10, although the liquid crystal layer 50 was constituted from a pneumatic liquid crystal as an example, if the polymer dispersed liquid crystal which distributed liquid crystal as a minute grain in the macromolecule is used, the above-mentioned polarization film, a polarizing plate, etc. will become unnecessary in the orientation film and a list, and the advantage of a raise in the brightness of a liquid crystal panel or low-power-izing by efficiency for light utilization increasing will be acquired. Furthermore, when applying a liquid crystal panel 10 to high-reflective-liquid-crystal equipment by constituting the pixel electrode 11 from a metal membrane with high reflection factors, such as aluminum, SH (super HOMEOTORO pick) mold liquid crystal with which perpendicular orientation of the liquid crystal molecule was mostly carried out in the state of no electrical-potential-difference impressing may be used. Furthermore, although the common electrode 21 is provided in the opposite substrate 2 side in the liquid crystal panel 10 again so that perpendicular electric field (vertical electric field) may be impressed to the liquid crystal layer 50 What (that is, the electrode for horizontal electric-field generating is prepared in the TFT array substrate 1 side, without preparing the electrode for vertical electric-field generating in the opposite substrate 2 side) the pixel electrode 11 is constituted also for from an electrode for horizontal electric-field generating of a pair, respectively so that electric field (horizontal electric field) parallel to the liquid crystal layer 50 may be impressed is possible. Thus, if horizontal electric field are used, it is advantageous when extending an angle of visibility rather than the case where vertical electric field are used. In addition, it is possible to apply the gestalt of this operation to various kinds of liquid crystal ingredients (liquid crystal phase), a mode of

operation, a liquid crystal array, the drive approach, etc.

[0112] In addition, you may make it connect electrically and mechanically the data-line drive circuit 101 and the scanning-line drive circuit 104 to LSI for a drive mounted on TAB (tape automated bonding substrate) instead of preparing on the TFT array substrate 1 through the anisotropy electric conduction film prepared in the periphery of the TFT array substrate 1.

[0113] Furthermore, the protection-from-light layer which consists of a refractory metal may be prepared also in the location (namely, under TFT30) which counters on the TFT array substrate 1 at TFT30 again as indicated by JP,9-127497,A, JP,3-52611,B, JP,3-125123,A, JP,8-171101,A, etc. in the gestalt of the above operation. Thus, if a protection-from-light layer is prepared also in the TFT30 bottom, it can prevent that the return light from the TFT array substrate 1 side etc. carries out incidence to TFT30.

[0114] (Electronic equipment) Next, the gestalt of operation of electronic equipment equipped with the liquid crystal equipment 200 explained to the detail above is explained with reference to drawing 25 from drawing 22.

[0115] The outline configuration of the electronic equipment which equipped drawing 22 with liquid crystal equipment 200 in this way is shown first.

[0116] In drawing 22, electronic equipment is constituted in preparation for the display drive circuit 1004 including the source 1000 of a display information output, the external display information processing circuit 1002 mentioned above, the above-mentioned scanning-line drive circuit 104, and the data-line drive circuit 101, a liquid crystal panel 10, and clock generation circuit 1008 list in the power circuit 1010. The source 1000 of a display information output is constituted including the tuning circuit which aligns and outputs memory, such as ROM (Read Only Memory), RAM (Random Access Memory), and an optical disk unit, and a TV signal, and outputs display information, such as a picture signal of a predetermined format, to the display information processing circuit 1002 based on the clock signal from the clock generation circuit 1008. The display information processing circuit 1002 is constituted including various well-known processing circuits, such as magnification and a polarity-reversals circuit, a phase expansion circuit, a rotation circuit, a gamma correction circuit, and a clamping circuit, carries out sequential generation of the digital signal from the display information inputted based on the clock signal from the clock generation circuit 1008, and outputs it to the display drive circuit 1004 with a clock signal CLK. The display drive circuit 1004 drives a liquid crystal panel 10 by the above-mentioned drive approach the scanning-line drive circuit 104 and the data-line drive circuit 101. A power circuit 1010 supplies a predetermined power source to each above-mentioned circuit. In addition, on the TFT array substrate which constitutes a liquid crystal panel 10, the display drive circuit 1004 may be carried and, in addition to this, the display information processing circuit 1002 may be carried.

[0117] The equipment equipped with the video TEBU recorder of the personal computer corresponding to multimedia (PC) and engineering workstation (EWS) which are shown in the liquid crystal projector shown in drawing 23 and drawing 24 or a cellular phone, a word processor, television, a viewfinder mold, or a monitor direct viewing type, an electronic notebook, an electronic calculator, car navigation equipment, the POS terminal, and the touch panel as electronic equipment of such a configuration can be mentioned.

[0118] Next, the example of the electronic equipment constituted in this way from drawing 23 by drawing 25 is shown, respectively. In drawing 23, an example slack liquid crystal projector 1100 of electronic equipment is a liquid crystal projector of a projection mold, is equipped with the light source 1110, dichroic mirrors 1113 and 1114, the reflective mirrors 1115, 1116, and 1117, the incidence lens 1118, a relay lens 1119 and the outgoing radiation lens 1120, the liquid crystal light valves 1122, 1123, and 1124, the cross dichroic prism 1125, and a projector lens 1126, and is constituted. The liquid crystal light valves 1122, 1123, and 1124 prepare three liquid crystal modules with which the drive circuit 1004 mentioned above contains the liquid crystal panel 10 carried on the TFT array substrate, and they are used for them as a liquid crystal light valve, respectively. Moreover, the light source 1110 consists of a

reflector 1112 which reflects the light of the lamps 1111, such as metal halide, and a lamp 1111.

[0119] In the liquid crystal projector 1100 constituted as mentioned above, the dichroic mirror 1113 of blue glow and green light reflection reflects blue glow and green light while making the red light of the white light bundles from the light source 1110 penetrate. It is reflected by the reflective mirror 1117 and incidence of the transmitted red light is carried out to the liquid crystal light valve 1122 for red light. On the other hand, among the colored light reflected with the dichroic mirror 1113, it is reflected by the dichroic mirror 1114 of green light reflection, and incidence of the green light is carried out to the liquid crystal light valve 1123 for green light. Moreover, blue glow also penetrates the 2nd dichroic mirror 1114. In order to prevent the optical loss by the long optical path to blue glow, the light guide means 1121 which consists of a relay lens system containing the incidence lens 1118, a relay lens 1119, and the outgoing radiation lens 1120 is established, and incidence of the blue glow is carried out to the liquid crystal light valve 1124 for blue glow through this. Incidence of the three colored light modulated with each light valve is carried out to the cross dichroic prism 1125. As for this prism, the dielectric multilayers in which four rectangular prisms reflect the dielectric multilayers which are stuck and reflect red sunset in that inside, and a blue light are formed in the shape of a cross joint. Three colored light is compounded by these dielectric multilayers, and the light showing a color picture is formed. With the projector lens 1126 which is an incident light study system, it is projected on the compounded light on a screen 1127, and an image is expanded and it is displayed.

[0120] In drawing 24, the personal computer 1200 of other example slack laptop types of electronic equipment has the liquid crystal display 1206 with which it had the liquid crystal panel 10 mentioned above in the top covering case, and the body section 1204 into which the keyboard 1202 was built while holding CPU, memory, a modem, etc.

[0121] Moreover, as shown in drawing 25, liquid crystal is enclosed between two transparence substrates 1304a and 1304b. It has the substrate 1304 for liquid crystal equipments which carried the drive circuit 1004 mentioned above on the TFT array substrate. To one side of two transparence substrates 1304a and 1304b which constitute the substrate 1304 for liquid crystal equipments concerned TCP (Tape Carrier Package) 1320 which mounted the IC chip 1324 in polyimide TEBU 1322 in which the metaled electric conduction film was formed can be connected, and it can also be produced, sold and used as liquid crystal equipment for electronic equipment which is elegance a part.

[0122] As mentioned above, equipment equipped with the video tape recorder of a liquid crystal television, a view finder mold, or a monitor direct viewing type, the car navigation equipment, the electronic notebook, the calculator, the word processor, the workstation, the cellular phone, the TV phone, POS terminal, and touch panel other than electronic equipment which were explained with reference to drawing 25 from drawing 23 etc. is mentioned as an example of the electronic equipment shown in drawing 21.

[0123] In addition, this invention is not limited to the above-mentioned example, and deformation implementation various by within the limits of the summary of this invention is possible for it. For example, this invention is applicable not only to what is applied to the drive of various kinds of above-mentioned liquid crystal panels but electroluminescence and plasma display 1 equipment.

[0124] According to the gestalt of this operation, the load of the source of a signal of a picture signal is remarkably mitigated by sufficient precharge function small, and various kinds of electronic equipment equipped with the possible liquid crystal equipment 200 of the stable image display can be realized.

[0125]

[Effect of the Invention] As explained above, according to the driving gear of the electro-optic device of this invention, not only the driving signal over a sampling circuit but the driving signal over a precharge circuit is outputted line sequential to every data-line group which every data line and plurality adjoin with a shift register, and it is prepared in the data-line drive circuit as a simple configuration also about which shift register. Moreover, since it constituted so that a clock signal might be supplied from a clock signal supply line common to the shift register for sampling circuits, and the shift register for precharge

circuits, the occupancy area of the clock signal supply line on the substrate of a shift register can be decreased with a simple configuration by shortening of the write-in period of a precharge signal that it can respond to a high-speed display mode, and the drive circuit of an electro-optic device can be miniaturized.

[Translation done.]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] They are block diagrams formed on the TFT array substrate in the gestalt of operation of the 1st of liquid crystal equipment, such as various wiring and a circumference circuit.

[Drawing 2] It is the top view showing the whole liquid crystal equipment configuration of drawing 1.

[Drawing 3] It is the sectional view showing the whole liquid crystal equipment configuration of drawing 1.

[Drawing 4] It is the circuit diagram of TFT which constitutes the precharge circuit established in liquid crystal equipment.

[Drawing 5] It is the circuit diagram of TFT which constitutes the sampling circuit established in liquid crystal equipment.

[Drawing 6] It is the circuit diagram of a sampling circuit at the data-line drive circuit and precharge circuit list in liquid crystal equipment of drawing 1.

[Drawing 7] It is the circuit diagram of the circuit of each stage of the shift register which constitutes the data-line drive circuit of drawing 6.

[Drawing 8] Drawing showing the circuit notation of the clocked inverter which constitutes the circuit of drawing 7, and (b) are the circuit diagrams showing the circuitry of the clocked inverter of (a).

[Drawing 9] It is the timing chart which shows actuation of a sampling circuit to the data-line drive circuit and precharge circuit list in liquid crystal equipment of drawing 1.

[Drawing 10] It is the timing chart which shows the timing of the precharge in the liquid crystal equipment of drawing 1.

[Drawing 11] It is drawing showing the relation between various display modes, one horizontal blanking interval, and a precharge period.

[Drawing 12] They are block diagrams formed on the TFT array substrate in the gestalt of operation of the 2nd of liquid crystal equipment, such as various wiring and a circumference circuit.

[Drawing 13] It is the circuit diagram of a sampling circuit at the data-line drive circuit and precharge circuit list in liquid crystal equipment of drawing 12.

[Drawing 14] In the liquid crystal equipment of drawing 12, it is the timing chart which shows actuation of a sampling circuit to a data-line drive circuit and a precharge circuit list when a direction control signal is high-level.

[Drawing 15] In the liquid crystal equipment of drawing 12, it is the timing chart which shows actuation

of a sampling circuit to a data-line drive circuit and a precharge circuit list when the reversal signal of a direction control signal is high-level.

[Drawing 16] It is the conceptual diagram showing the prism optical system which compounds 3 colored light of RGB of the liquid crystal projector using the liquid crystal equipment of drawing 12.

[Drawing 17] It is the circuit diagram showing the configuration of the shift register in the gestalt of operation of the 3rd of liquid crystal equipment.

[Drawing 18] It is the circuit diagram showing other configurations of the shift register in the gestalt of operation of the 3rd of liquid crystal equipment.

[Drawing 19] Drawing showing the circuit notation of the transmission gate where (a) constitutes the shift register of drawing 17 or drawing 18, and (b) are the circuit diagrams showing the circuitry of the transmission gate of (a).

[Drawing 20] They are block diagrams formed on the TFT array substrate in the gestalt of operation of the 4th of liquid crystal equipment, such as various wiring and a circumference circuit.

[Drawing 21] In the liquid crystal equipment of drawing 20, it is the timing chart which shows actuation of a sampling circuit to a data-line drive circuit and a precharge circuit list when the reversal signal of a direction control signal is high-level.

[Drawing 22] It is the block diagram showing the outline configuration of the gestalt of operation of the electronic equipment by this invention.

[Drawing 23] It is the sectional view showing the liquid crystal projector as an example of electronic equipment.

[Drawing 24] It is the front view showing the personal computer as other examples of electronic equipment.

[Drawing 25] It is the perspective view showing the liquid crystal equipment using TCP as an example of electronic equipment.

[Description of Notations]

- 1 — TFT array substrate
- 2 — Opposite substrate
- 10 — Liquid crystal panel
- 11 — Pixel electrode
- 21 — Common electrode
- 23 — Protection-from-light layer
- 30 — TFT
- 31 — Scanning line
- 35 — Data line
- 50 — Liquid crystal layer
- 52 — Sealant
- 53 — Circumference abandonment
- 101 — Data-line drive circuit
- 102 — Mounting terminal
- 130 131 — Clocked inverter
- 132 — Inverter
- 150 — Signal taking-in section
- 151 — Signal propagation section
- 152 — Feedback section
- 160 — Transmission gate
- 200 — Liquid crystal equipment
- 201 — Precharge circuit
- 204 — Precharge signal supply line
- 206 — Precharge circuit drive signal line

301 — Sampling circuit
304 — Picture signal supply line
306 — Sampling circuit drive signal line
401 — Drive circuit for precharge signals
402 — Shift register
403 — Buffer circuit
501 — Drive circuit for picture signals
502 — Shift register
503 — Buffer circuit

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-202296

(43) 公開日 平成11年(1999) 7月30日

(51) Int.Cl.⁶

識別記号

F I

G 0 2 F 1/133

5 5 0

G 0 2 F 1/133

5 5 0

1/136

5 0 0

1/136

5 0 0

G 0 9 G 3/36

G 0 9 G 3/36

審査請求 未請求 請求項の数 9 F D (全 23 頁)

(21) 出願番号

特願平10-15151

(22) 出願日

平成10年(1998) 1月9日

(71) 出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿 2丁目 4番 1号

(72) 発明者 村出 正夫

長野県諏訪市大和 3丁目 3番 5号 セイコ

ーエプソン株式会社内

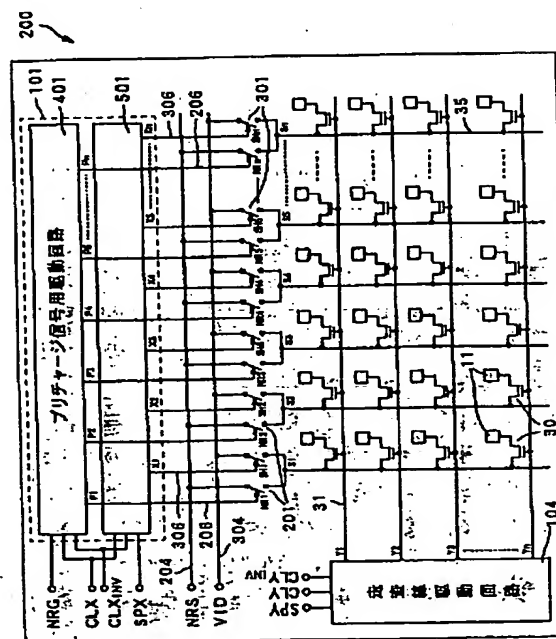
(74) 代理人 弁理士 鈴木 喜三郎 (外 2名)

(54) 【発明の名称】 電気光学装置の駆動回路、電気光学装置、及び電子機器

(57) 【要約】

【課題】 プリチャージ信号をデータ線に線順次で書き込む駆動装置において、プリチャージ期間の短縮化を図ると共に、電気光学装置の駆動回路の小型化を可能にする。

【解決手段】 データ線駆動回路 101 を、プリチャージ信号用駆動回路 401 及び画像信号用駆動回路 501 により構成し、かつ、プリチャージ回路 201 及びサンプリング回路 301 をデータ線駆動回路 101 側にデータ線 35 に対して並列に設ける。そして、プリチャージ信号用駆動回路 401 及び画像信号用駆動回路 501 を構成するシフトレジスタを、例えばクロックドインバータ及びブインバータにより信号取込部と信号伝搬部と帰還部とから成る簡素な構成とする。更に、クロック信号線をプリチャージ信号用駆動回路 401 及び画像信号用駆動回路 501 の双方のシフトレジスタには、共通のクロック信号供給線からクロック信号が供給される。



(2)

【特許請求の範囲】

【請求項1】 画像信号が供給される複数のデータ線と、走査信号が供給される複数の走査線と、前記各データ線及び前記各走査線に接続されたスイッチング手段と、前記スイッチング手段に接続された画素電極とを備えた電気光学装置の駆動回路であって、前記画像信号をサンプリングして前記データ線に供給するためのサンプリング回路と、

前記サンプリング回路に制御信号を供給するための第1シフトレジスタと、

前記データ線に前記画像信号を供給するためのサンプリング期間に先だってプリチャージ信号を前記データ線に供給するためのプリチャージ回路と、

前記プリチャージ回路に制御信号を供給するための第2シフトレジスタとを有し、

前記第1及び第2シフトレジスタには共通のクロック信号供給線からクロック信号が供給されてなることを特徴とする電気光学装置の駆動回路。

【請求項2】 画像信号が供給される複数のデータ線と、走査信号が供給される複数の走査線と、前記各データ線及び前記各走査線に接続されたスイッチング手段と、前記スイッチング手段に接続された画素電極とを備えた電気光学装置の駆動回路であって、前記画像信号をサンプリングして前記データ線に供給するためのサンプリング回路と、

前記サンプリング回路に制御信号を供給するための第1シフトレジスタと、

前記データ線に前記画像信号を供給するためのサンプリング期間に先だってプリチャージ信号を前記データ線に供給するためのプリチャージ回路と、

前記プリチャージ回路に制御信号を供給するための第2シフトレジスタとを有し、

前記第1シフトレジスタと第2シフトレジスタとの間には、前記第1及び第2シフトレジスタにクロック信号を供給するための共通のクロック信号供給線が配置されてなることを特徴とする電気光学装置の駆動回路。

【請求項3】 前記第2シフトレジスタに第2転送開始信号を出力した後、前記第1シフトレジスタに第1転送開始信号を出力する転送開始信号制御手段をさらに備えたことを特徴とする請求項1乃至2のいずれか一項記載の電気光学装置の駆動回路。

【請求項4】 画像信号が供給される複数のデータ線と、走査信号が順次供給される複数の走査線と、前記複数のデータ線及び前記複数の走査線に接続されたスイッチング手段と、各スイッチング手段に接続された画素電極とを備えた電気光学装置の駆動回路であって、前記データ線と前記画像信号の供給線との間に夫々介在する複数の第1薄膜トランジスタを有し、該第1薄膜トランジスタの導通により前記画像信号をサンプリングして前記データ線に夫々供給するサンプリング回路と、

プリチャージ信号の供給線と前記データ線との間に夫々介在する複数の第2薄膜トランジスタを有し、該第2薄膜トランジスタの導通により前記データ線に前記プリチャージ信号を夫々供給するプリチャージ回路と、入力信号をクロック信号に同期して取り込む信号取込部と、取り込んだ信号を出力信号として伝搬させる信号伝搬部と、クロック信号に同期して該信号伝搬部からの出力信号を該信号伝搬部の信号入力側に帰還させる帰還部とを各段に有する第1及び第2のシフトレジスタを備え、該第1及び第2のシフトレジスタには共通のクロック信号供給線からクロック信号が供給されてなり、前記サンプリング回路に対し、少なくとも前記第1方向に対応する転送方向で、前記第1のシフトレジスタの各段から第1薄膜トランジスタを導通させる第1駆動信号を順次出力すると共に、前記プリチャージ回路に対し、前記転送方向で前記第2のシフトレジスタの各段から第2薄膜トランジスタを導通させる第2駆動信号を順次出力するデータ線駆動手段と、

前記第2のシフトレジスタに第2転送開始信号を出力した後、前記第1のシフトレジスタに第1転送開始信号を出力する転送開始信号制御手段と、

を備えたことを特徴とする電気光学装置の駆動回路。

【請求項5】 前記第1及び第2シフトレジスタは、双方向性のシフトレジスタであって、前記第1及び第2シフトレジスタの転送方向は、共通の方向制御信号部からの方向制御信号に基づいて制御されてなることを特徴とする請求項1乃至4のいずれか一項記載の電気光学装置の駆動回路。

【請求項6】 前記サンプリング回路とプリチャージ回路は並列に設けられていることを特徴とする請求項1乃至請求項5のいずれか一項に記載の電気光学装置の駆動回路。

【請求項7】 前記転送開始信号制御手段は、前記第2転送開始信号の出力完了タイミングと、前記第1転送開始信号の出力開始タイミングとの間に所定の時間間隔を有するように、前記第2転送開始信号の出力開始タイミング及びパルス幅を制御することを特徴とする請求項1乃至請求項6のいずれか一項に記載の電気光学装置の駆動回路。

【請求項8】 請求項1乃至請求項7のいずれか一項に記載の電気光学装置の駆動回路を備えたことを特徴とする電気光学装置。

【請求項9】 請求項8の電気光学装置を備えたことを特徴とする電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、薄膜トランジスタ（以下、TFTと称す。）駆動等によるアクティブマトリクス駆動方式の液晶パネル等の電気光学装置の駆動回路、該駆動回路を備えた電気光学装置、該駆動回路が基

(3)

3
板上に設けられた電気光学装置、または当該電気光学装置を用いた電子機器の技術分野に属し、特に、プリチャージ回路を備えた駆動回路、電気光学装置、及び電子機器の技術分野に属する。

【0002】

【従来の技術】従来、TFT駆動によるアクティブマトリクス駆動方式の液晶パネルにおいては、縦横に夫々配列された多数の走査線及びデータ線と、走査線及びデータ線の各交点に対応する多数の画素電極がTFTアレイ基板上に設けられている。そして、これらに加えて、走査線駆動回路、データ線駆動回路、サンプリング回路などのTFTを構成要素とする各種の周辺回路が、このようなTFTアレイ基板上に設けられる場合がある。

【0003】これらの周辺回路のうち、サンプリング回路は、高周波数の画像信号を各データ線に所定のタイミングで安定的に走査信号と同期して供給するために、画像信号をサンプリングする回路である。その外にも、液晶表示における画質の向上、消費電力の低減、コストの低減等の観点から、TFT等を用いた各種の周辺回路をTFTアレイ基板上に設けることも可能である。

【0004】また、プリチャージ回路は、コントラスト比の向上、データ線の電位レベルの安定、表示画面上のラインむらの低減等を目的として、データ線に対し、前記サンプリング回路により画像信号がサンプリングされるタイミングに先行するタイミングで、プリチャージ信号（画像補助信号）を供給することにより、画像信号をデータ線に書き込む際の負荷を軽減する回路である。特に液晶を交流駆動するために通常行われるデータ線の電圧極性を1水平走査期間毎に反転して駆動する所謂1H反転駆動方式においては、1水平有効表示期間前の1水平帰線期間において、画像信号の極性が切り換わってから後に、所定電位のプリチャージ信号をデータ線に予め書き込んでおけば、画像信号をデータ線に書き込む際に必要な電荷量を顕著に少なくできる。

【0005】従来は、このようなプリチャージを1水平帰線期間内において全てのデータ線に対して行っていたため、データ線の容量によるプリチャージ信号の遅延、及びプリチャージ信号をデータ線に書き込むプリチャージ回路のTFTの駆動負荷の増大を考慮して、前記1水平帰線期間の開始直後から比較的長い時間、例えば少なくとも1.0 μs 以上、の時間に亘ってプリチャージ信号をデータ線に供給するように構成されていた。

【0006】しかしながら、液晶パネルの高精細化が進み、水平方向の画素数が非常に多くなると、1水平走査期間内における1水平有効表示期間が占める割合が大きくなり、1水平帰線期間が短くなるため、プリチャージ信号をデータ線に十分供給することができなくなった。また、一度に書き込みを行う必要のあるデータ線の本数が増大し、データ線に対するプリチャージ信号の書き込みを行うプリチャージ回路のTFTの駆動負荷が増大す

4
るという問題があった。また、一度に多くの電流供給が行われるため、電源ラインの電位が不安定になるという問題もあった。更に、プリチャージ信号の書き込みを行うデータ線の本数が増加する程、データ線にプリチャージ信号を供給するための信号配線が長くなり抵抗が付加されたり、当該ラインの終端側程、プリチャージ信号が劣化するという問題があった。その結果、各データ線に書き込まれる電位にばらつきが生じ、表示画面上のラインむらを発生させるという問題があった。

10 【0007】そこで、例えば、特開平7-295520号公報に記載されているように、各データ線への画像信号の書き込みに先行して、各データ線毎に線順次にプリチャージ信号を書き込む方式が提案された。このようなプリチャージ回路の一例が開示されている。

【0008】このプリチャージ回路によれば、一度にプリチャージ信号を書き込むデータ線は1本であり、プリチャージ回路のTFTの駆動負荷を軽減させることができ、また、電源ライン及びデータ線の電位の安定化を図ることができる。

20 【0009】

【発明が解決しようとする課題】しかしながら、前記公報に代表される従来の方式では、プリチャージ信号を各データ線毎に線順次に書き込むために、プリチャージ信号を各データ線毎にサンプリングする回路と、当該回路に対して、線順次に駆動信号を供給するシフトレジスタを必要とする。この従来のシフトレジスタは、例えば前記公報に開示されているように、シフトレジスタの初段に入力した信号と同じ幅の信号が互いに重複することなく順次シフトされるように構成されており、非常に複雑な回路構成となっていた。

30 【0010】従って、液晶パネルの小型化を図ろうとする場合には、画素領域外に設けられる周辺回路領域の面積が小さくなるため、上述のように非常に複雑な回路構成を有するシフトレジスタを当該領域に形成してしまうと、他の回路のための面積が著しく制限されてしまう。その結果、プリチャージ信号をデータ線に書き込むためのプリチャージ回路も小さな面積で形成しなければならず、当該プリチャージ回路を構成するTFTのサイズを小さくせざるを得ない。

40 【0011】つまり、プリチャージ回路のTFTのオン抵抗を小さくすることができなくなるので、当該TFTの電流供給能力が低下し、十分なプリチャージを行うためには、プリチャージ信号をサンプリングさせるための前記駆動信号のパルス幅をある程度長く維持しなければならないという問題があった。

50 【0012】しかし、EWSモード等の高速表示モードにおいては、1水平帰線期間は極めて短い期間となるため、前記駆動信号のパルス幅をある程度長く維持する場合には、プリチャージ信号と画像信号とをほぼ連続的にデータ線に書き込むことになり、画像信号がプリチャ

(4)

5

ジ信号の影響を受けて正しく供給されず、画像に悪影響が生じるという問題があった。

【0013】また、サンプリングパルスをシフトさせる回路は、上述したように複雑な構成であるため、液晶装置上における当該回路の占有面積も大きなものとなり、液晶装置を小型化するのは困難であるという問題があった。特に、画像信号のサンプリングパルスをシフトさせる回路と、プリチャージ信号のサンプリングパルスをシフトさせる回路とを独立に設ける構成の場合には、双方の回路にシフト用のクロック信号の入力が必要であり、クロック信号のパターンの引き回しにより、プリチャージ信号のサンプリングパルスをシフトさせる回路の占有面積がより一層大きくなるという問題があった。

【0014】本発明は上述した問題点に鑑みなされたものであり、プリチャージ信号をデータ線に線順次に供給する場合でも、1水平掃線期間内におけるプリチャージ信号の供給タイミング及び供給時間に自由度を持たせることができ、更には液晶装置の小型化の可能な液晶装置の駆動装置、液晶装置、及び電子機器を提供することを課題としている。

【0015】

【課題を解決するための手段】請求項1記載の電気光学装置の駆動回路は、画像信号が供給される複数のデータ線と、走査信号が供給される複数の走査線と、前記各データ線及び前記各走査線に接続されたスイッチング手段と、前記スイッチング手段に接続された画素電極とを備えた電気光学装置の駆動回路であって、前記画像信号をサンプリングして前記データ線に供給するためのサンプリング回路と、前記サンプリング回路に制御信号を供給するための第1シフトレジスタと、前記データ線に前記画像信号を供給するためのサンプリング期間に先だってプリチャージ信号を前記データ線に供給するためのプリチャージ回路と、前記プリチャージ回路に制御信号を供給するための第2シフトレジスタとを有し、前記第1及び第2シフトレジスタには共通のクロック信号供給線からクロック信号が供給されてなることを特徴とする。

【0016】請求項1の電気光学装置の駆動回路によれば、一度に全てのデータ線にプリチャージ信号を書き込む場合のように、プリチャージ信号の劣化等が生じないため、プリチャージ信号を書き込む期間を短縮させることができる。従って、高速表示モード採用時であっても十分なプリチャージを可能にすると共に、プリチャージ信号の書き込み終了から画像信号の書き込み開始までの期間を十分に確保することができ、画像信号の適切な書き込みを可能にする。

【0017】また、プリチャージ信号の書き込み期間の短縮化により高速表示モードに対応可能であり、プリチャージ信号の書き込み期間の短縮化により高速表示モードに対応可能であり、第1及び第2のシフトレジスタには共通のクロック信号供給線からクロック信号が供給さ

6

れるため、簡素な構成で占有面積を減少させ、しかもクロック信号供給線を引き回すことなく、電気光学装置の小型化を実現する。

【0018】請求項2に記載の電気光学装置は、画像信号が供給される複数のデータ線と、走査信号が供給される複数の走査線と、前記各データ線及び前記各走査線に接続されたスイッチング手段と、前記スイッチング手段に接続された画素電極とを備えた電気光学装置の駆動回路であって、前記画像信号をサンプリングして前記データ線に供給するためのサンプリング回路と、前記サンプリング回路に制御信号を供給するための第1シフトレジスタと、前記データ線に前記画像信号を供給するためのサンプリング期間に先だってプリチャージ信号を前記データ線に供給するためのプリチャージ回路と、前記プリチャージ回路に制御信号を供給するための第2シフトレジスタとを有し、前記第1及び第2シフトレジスタの間には、前記第1及び第2シフトレジスタにクロック信号を供給するための共通のクロック信号供給線が配置されてなることを特徴とする。

【0019】請求項2の電気光学装置の駆動回路によれば、請求項1と同様に一度に全てのデータ線にプリチャージ信号を書き込む場合のように、プリチャージ信号の劣化等が生じないため、プリチャージ信号を書き込む期間を短縮させることができる。従って、高速表示モード採用時であっても十分なプリチャージを可能にすると共に、プリチャージ信号の書き込み終了から画像信号の書き込み開始までの期間を十分に確保することができ、画像信号の適切な書き込みを可能にする。

【0020】しかも、第1及び第2のシフトレジスタは、互いに近接した位置に設けられ、第1シフトレジスタと第2シフトレジスタとの間に形成された共通のクロック信号供給線から第1及び第2シフトレジスタにクロック信号が供給されているので、クロック信号供給線を複雑に引き回す必要がなく、第1及び第2のシフトレジスタの占有面積をより一層減少させる。

【0021】また、プリチャージ信号の書き込み期間の短縮化により高速表示モードに対応可能であり、第1及び第2のシフトレジスタには共通のクロック信号供給線からクロック信号が供給されるため、簡素な構成で占有面積を減少させ、電気光学装置の小型化を実現する。

【0022】請求項3記載の電気光学装置の駆動回路は、請求項1乃至2のいずれか一項記載の駆動回路において、前記第2シフトレジスタに第2転送開始信号を出力した後、前記第1シフトレジスタに第1転送信号を出力する転送開始信号制御手段をさらに備えたことを特徴とする。

【0023】請求項3記載の電気光学装置の駆動回路によれば、プリチャージ信号と画像信号は、夫々のデータ線について見ればプリチャージ信号の書き込み後に画像信号の書き込みが行われており、プリチャージ信号とし

50

(5)

7

て供給された電荷量に応じて画像信号の電荷量が少なく
て済み、また各データ線の電圧レベルは所定値となり、
データ線の電圧レベルを安定させる。

【0024】請求項4記載の電気光学装置の駆動回路
は、画像信号が供給される複数のデータ線と、走査信号
が順次供給される複数の走査線と、前記複数のデータ線
及び前記複数の走査線に接続されたスイッチング手段
と、各スイッチング手段に接続された画素電極とを備え
た電気光学装置の駆動回路であって、前記データ線と前
記画像信号の供給線との間に夫々介在する複数の第1薄
膜トランジスタを有し、該第1薄膜トランジスタの導通
により前記画像信号をサンプリングして前記データ線に
夫々供給するサンプリング回路と、プリチャージ信号の
供給線と前記データ線との間に夫々介在する複数の第2
薄膜トランジスタを有し、該第2薄膜トランジスタの導
通により前記データ線に前記プリチャージ信号を夫々供
給するプリチャージ回路と、入力信号をクロック信号に
同期して取り込む信号取込部と、取り込んだ信号を出力
信号として伝搬させる信号伝搬部と、クロック信号に同
期して該信号伝搬部からの出力信号を該信号伝搬部の信
号入力側に帰還させる帰還部とを各段に有する第1及び
第2のシフトレジスタを備え、該第1及び第2のシフト
レジスタには共通のクロック信号供給線からクロック信
号が供給されてなり、前記サンプリング回路に対し、少
なくとも前記第1方向に対応する転送方向で、前記第1
のシフトレジスタの各段から第1薄膜トランジスタを導
通させる第1駆動信号を順次出力すると共に、前記プリ
チャージ回路に対し、前記転送方向で前記第2のシフト
レジスタの各段から第2薄膜トランジスタを導通させる
第2駆動信号を順次出力するデータ線駆動手段と、前記
第2のシフトレジスタに第2転送開始信号を出力した
後、前記第1のシフトレジスタに第1転送開始信号を出
力する転送開始信号制御手段と、を備えたことを特徴と
する。

【0025】請求項4に記載の電気光学装置の駆動回路
によれば、例えば1水平走査期間等の画像信号の書き込
み期間が終了すると、転送開始信号制御手段により、先
ずデータ線駆動手段の第2のシフトレジスタに対して第2
転送開始信号が出力される。この第2転送開始信号を
入力した第2のシフトレジスタは、入力した第2転送開
始信号を信号取込部においてクロック信号に同期して取
り込み、信号伝搬部において出力信号として伝搬させ
る。更に帰還部は、クロック信号に同期して前記信号伝
搬部からの出力信号を前記信号伝搬部の信号入力側に帰
還させる。これにより、前記第2転送開始信号に基づく
第2駆動信号が生成され、この第2駆動信号は第2のシ
フトレジスタの転送開始段から出力されると共に、第2
のシフトレジスタの次段における入力信号として出力さ
れる。次段においては、前段と同様にクロック信号に同
期して前記入力信号を取り込んで伝搬させると共に、帰
還を行う。これにより、この段における第2駆動信号が
生成され、この第2駆動信号として出力されると共に、
更に次段における入力信号として出力される。

8

還を行う。これにより、この段における第2駆動信号が
生成され、この第2駆動信号として出力されると共に、
更に次段における入力信号として出力される。

【0026】以下、同様にして、次々に第2駆動信号が
第2のシフトレジスタの各段によって転送されながら各
段の出力信号として出力され、各データ線に対応する第
2薄膜トランジスタを順次に導通させる。プリチャージ
回路においては、これらの第2薄膜トランジスタの順次
の導通により、プリチャージ信号の供給線から供給され
るプリチャージ信号を各データ線に対して線順次に供給
し、プリチャージ信号の書き込みを行う。

【0027】一方、前記転送開始信号制御手段は、前記
第2転送開始信号の出力後からの所定期間経過後に、前
記第1のシフトレジスタに対して第1転送開始信号を出
力する。第1のシフトレジスタにおいては、前記第2の
シフトレジスタと同様に、この第1転送開始信号に基づ
く第1駆動信号の生成と出力並びに次段への転送を繰り
返し、各データ線に対応する第1薄膜トランジスタを順
次に導通させる。サンプリング回路においては、これら
の第1薄膜トランジスタの順次の導通により、画像信号
の供給線から供給される画像信号を各データ線に対して
線順次に供給し、画像信号の書き込みを行う。

【0028】以上のように、プリチャージ信号と画像信
号は、夫々線順次にデータ線に書き込まれることになる
が、夫々のデータ線について見ればプリチャージ信号の
書き込み後に画像信号の書き込みが行われており、プリ
チャージ信号として供給された電荷量に応じて画像信号
の電荷量が少なくて済み、また、各データ線の電圧レ
ベルは確実に所定値以上となり、データ線の電圧レベル
を安定させる。

【0029】また、以上のようにデータ線に対して線順
次でプリチャージ信号の供給を行うことにより、データ
線に対する一度のプリチャージ信号の書き込み時におけ
るデータ線の容量分の負荷は、一度に全てのデータ線に
プリチャージ信号を書き込む場合に比して著しく軽減さ
れ、プリチャージ回路の第2薄膜トランジスタの駆動負
荷を軽減させる。

【0030】更に、一度に全てのデータ線にプリチャ
ージ信号を書き込む場合のように、プリチャージ信号の劣
化等が生じないため、プリチャージ信号を書き込む期間
を短縮させることができる。従って、高速表示モード採
用時であっても十分なプリチャージを可能にする。共
に、プリチャージ信号の書き込み終了から画像信号の書
き込み開始までの期間を十分に確保することができ、画
像信号の適切な書き込みを可能にする。

【0031】しかも、前記第1駆動信号及び第2駆動信
号を出力する第1及び第2のシフトレジスタは、上述の
ように、信号取込部と信号伝搬部と帰還部とから構成さ
れ、極めて簡易な構成となっているため、第1又は第2
基板上に形成する際の占有面積を減少させる。更に、第

(6)

9

1 及び第2のシフトレジスタは、互いに近接した位置に設けられ、互いにクロック信号供給線を共用するように構成されるので、クロック信号供給線を前記第1又は第2の基板上において複雑に引き回す必要がなく、第1及び第2のシフトレジスタの占有面積をより一層減少させる。

【0032】以上のように、請求項4に記載の電気光学装置の駆動回路によれば、プリチャージ信号の書き込み期間の短縮化により高速表示モードに対応可能であり、かつ、簡素な構成でクロック信号供給線を共用する第1及び第2のシフトレジスタにより、第1又は第2の基板上における占有面積を減少させ、液晶パネルの小型化を実現する。

【0033】請求項5に記載の電気光学装置の駆動回路は、請求項1乃至4記載のいずれか一項記載の電気光学装置の駆動回路において、前記第1及び第2シフトレジスタは、双方向性のシフトレジスタであって、前記第1及び第2シフトレジスタの転送方向は、共通の方向制御信号部からの方向制御信号に基づいて制御されてなることを特徴とする。

【0034】請求項5記載の電気光学装置の駆動回路によれば、双方向性シフトレジスタとしての前記第1及び第2のシフトレジスタにおける転送方向制御部に、方向制御信号供給線を介して方向制御信号が供給されると、信号の転送方向は、当該方向制御信号に基づいて所定の一方に制限される。従って、方向制御信号の値を切り換えることにより、画像信号の書き込み順序、即ち画像信号を書き込む画素位置を反転させることが可能となる。しかも、基本的なシフトレジスタの構成は上述したように簡素な構成であるため、このような転送方向制御部を付け加えた場合でも、占有面積を小さくすることが可能であり、更に、前記各双方向性シフトレジスタは、互いに方向制御信号供給線を共用するので、方向制御信号供給線の複雑な引き回しが不要になり、より一層占有面積を減少させることができる。

【0035】請求項6記載の電気光学装置の駆動回路は、請求項1乃至請求項5のいずれか一項に記載の電気光学装置の駆動回路において、前記サンプリング回路とプリチャージ回路は前記データ線に対して並列に設けられていることを特徴とする。

【0036】請求項6に記載の電気光学装置の駆動回路によれば、前記サンプリング回路とプリチャージ回路がデータ線に対して並列に設けられているので、上述したように近接して設けられた第1及び第2のシフトレジスタから、これらのサンプリング回路とプリチャージ回路に接続される第1駆動信号と第2駆動信号の供給線の引き回しが容易となり、第1及び第2のシフトレジスタを含むデータ線駆動手段及びサンプリング回路並びにプリチャージ回路から構成される周辺回路の占有面積を減少させ、液晶パネルの小型化を実現する。

10

【0037】請求項7に記載の電気光学装置の駆動回路は、請求項1乃至請求項6のいずれか一項に記載の電気光学装置の駆動回路において、前記転送開始信号制御手段は、前記第2転送開始信号の出力完了タイミングと、前記第1転送開始信号の出力開始タイミングとの間に所定の時間間隔を有するように、前記第2転送開始信号の出力開始タイミング及びパルス幅を制御することを特徴とする。

【0038】請求項7に記載の電気光学装置の駆動回路によれば、前記転送開始信号制御手段は、上述したように、第2転送開始信号を出力した後に、第1転送開始信号を出力することにより、画像信号の書き込みに先行したプリチャージ信号の書き込みを可能にするが、更に、第2転送開始信号の出力完了タイミングと、前記第1転送開始信号の出力開始タイミングとの間に、所定の時間間隔を有するように、前記第2転送開始信号の出力開始タイミング及びパルス幅を制御する。これにより、データ線に対しては、プリチャージ信号の書き込みが完了し、所定時間経過後に画像信号が書き込まれるので、画像信号がプリチャージ信号によって悪影響を受けることがなく、適切にデータ線に書き込まれる。また、1水平帰線期間において、第2転送開始信号のパルス幅を自由に設定できる。これにより、プリチャージ期間の設定が、外部の表示情報処理回路の調整により制御できるため、TFTの特性不足等により十分なプリチャージが行えない電気光学装置でも、救済することができるため、歩留まりの低下を招くことがない。

【0039】請求項8に記載の電気光学装置は、請求項1乃至請求項7のいずれか一項に記載の電気光学装置を備えたことを特徴とする。

【0040】請求項8に記載の電気光学装置によれば、高速表示モードを採用した場合でも充分なプリチャージを行うことによりコントラスト比が向上し、表示画面上のラインむらのない良好な画像が表示可能であって、かつ、小型の電気光学装置が提供される。

【0041】請求項9に記載の電子機器は、請求項8の電気光学装置を備えたことを特徴とする。

【0042】請求項9に記載の電子機器によれば、電子機器は、上述した本願発明の電気光学装置を備えており、高速表示モードを採用した場合でも充分なプリチャージを行うことによりコントラスト比が向上し、表示画面上のラインむらのない良好な画像が表示可能な電気光学装置により、高品質の画像表示が行われる。また、電気光学装置の小型化が可能なので、電子機器の小型化を実現することができる。

【0043】本発明のこのような作用及び他の利得は次に説明する実施の形態から明らかにする。

【0044】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて説明する。

(7)

11

【0045】(液晶装置の構成) 先ず、電気光学装置の一例として液晶装置の全体構成について、図1から図3を参照して説明する。図1は、液晶装置の実施の形態におけるTFTアレイ基板上に設けられた各種配線、周辺回路等の構成を示すブロック図であり、図2は、TFTアレイ基板をその上に形成された各構成要素と共に対向基板の側から見た平面図であり、図3は、対向基板を含めて示す図2のH-H'断面図である。

【0046】図1において、液晶装置200は、例えば石英基板、ハードガラス等からなるTFTアレイ基板1を備えている。TFTアレイ基板1上には、マトリクス状に設けられた複数の画素電極11と、X方向に複数配列されており夫々がY方向に沿って伸びるデータ線35と、Y方向に複数配列されており夫々がX方向に沿って伸びる走査線31と、各データ線35と画素電極11との間に夫々介在すると共に該間における導通状態及び非導通状態を、走査線31を介して夫々供給される走査信号に応じて夫々制御するスイッチング素子の一例としての複数のTFT30とが形成されている。また、図示を省略しているが、TFTアレイ基板1上には、蓄積容量のための配線である容量線を走査線31に沿ってほぼ平行に配設しても良いし、前段の走査線下を利用して蓄積容量を形成しても良い。

【0047】TFTアレイ基板1上には更に、複数のデータ線35に所定電圧レベルのプリチャージ信号を画像信号に先行して夫々供給するプリチャージ回路201と、画像信号をサンプリングして複数のデータ線35に夫々供給するサンプリング回路301と、データ線駆動回路101と、走査線駆動回路104とが形成されている。

【0048】走査線駆動回路104は、図2に示す実装端子102を介して外部制御回路(図示せず)から供給される電源、基準クロック信号CLY及び反転信号CLYINV、並びにスタート信号SPY等に基づいて、所定タイミングで走査線31に走査信号をパルス的に線順次で印加する。

【0049】データ線駆動回路101は、プリチャージ信号用駆動回路401と画像信号用駆動回路501とから構成されており、このうち画像信号用駆動回路501は、図2に示す実装端子102を介して外部制御回路

(図示せず)から供給される電源、基準クロック信号CLX及び反転信号CLXINV、スタート信号SPX、及び画像信号VID等に基づいて、走査線駆動回路104が走査信号を印加するタイミングに合わせて、画像信号としての画像信号VIDをサンプリングするために、データ線35毎にサンプリング回路駆動信号をサンプリング回路301にサンプリング回路駆動信号線306を介して供給する。

【0050】一方、プリチャージ信号用駆動回路401は、図2に示す実装端子102を介して外部制御回路

12

(図示せず)から供給される電源、前記画像信号駆動回路501と共通の基準クロック信号CLX及び反転信号CLXINV、プリチャージ期間設定パルス信号NRG等に基づいて、走査線駆動回路104による1水平走査期間の走査線31に対する走査信号の供給が終了し、1水平帰線期間において画像信号の極性の反転(画像信号の信号位相の反転)が終了した後に、プリチャージ信号NRSをサンプリングするために、プリチャージ回路駆動信号線206を介してデータ線35毎にプリチャージ回路駆動信号をプリチャージ回路201に供給する。

【0051】プリチャージ回路201は、TFTから構成されるスイッチング素子NR1~NRnを各データ線35毎に備えている。スイッチング素子NR1~NRnのソース電極には、プリチャージ信号線204が接続されており、スイッチング素子NR1~NRnのゲート電極には、プリチャージ回路駆動信号線206が接続されている。そして、外部制御回路(図示せず)からプリチャージ信号線204を介して所定電圧のプリチャージ信号が供給され、各データ線35について以下に説明するような画像信号の書き込みに先行するタイミングで、プリチャージ信号用駆動回路401からプリチャージ回路駆動信号線206を介してプリチャージ回路駆動信号が供給されることにより、スイッチング素子NR1~NRnが導通状態となり、前記プリチャージ信号が各データ線35に書き込まれることになる。尚、プリチャージ回路201に供給されるプリチャージ信号は、画像信号と同一の極性(同一の信号位相の反転)で中間階調レベルの画素データに相当する信号(画像補助信号)であることが好ましい。

【0052】サンプリング回路301は、TFTから構成されるスイッチング素子SH1~SHnを各データ線35毎に備えている。スイッチング素子SH1~SHnのソース電極には、画像信号線304が接続されており、スイッチング素子SH1~SHnのゲート電極には、サンプリング回路駆動信号線306が接続されている。従って、画像信号用駆動回路501からサンプリング回路駆動信号線306を介してサンプリング回路駆動信号が入力されると、外部制御回路(図示せず)から画像信号線304を介して供給される画像信号VIDがサンプリングされ、データ線35に順次供給される。

【0053】尚、図1においては、画像信号線304は簡略化のために1本のみ記載しているが、画像信号のドット周波数が速い場合には周波数を低減するために画像信号VIDを何相かに相展開しても良い。画像信号の相展開数には制約がないが、ビデオ表示させる場合にはRGB各々に信号線が必要なことから3の倍数で構成すると外部制御回路が比較的容易に構成できる。また、少なくとも画像信号の相展開数分だけ画像信号線304が必要なことは言うまでもない。

【0054】尚、プリチャージ回路201のスイッチン

(8)

13

グ素子NR1~NRnと、サンプリング回路301のスイッチング素子SH1~SHnのドレイン電極は共にデータ線35に並列に接続されており、プリチャージ信号用駆動回路401と画像信号用駆動回路501により、スイッチング素子NR1~NRnとスイッチング素子SH1~SHnの導通状態を所定のタイミングで切り換え、データ線35に対してプリチャージ信号を画像信号に先行して供給させている。

【0055】本実施の形態において、プリチャージ回路201及びサンプリング回路301は、図2及び図3に示すように、対向基板2に形成された遮光性の周辺見切り53に対向する位置においてTFTアレ基板1上にその一部或いは全てを設けるように構成されている。このような構成を採れば、データ線駆動回路101及び走査線駆動回路104は、液晶層50に面しないTFTアレ基板1の狭く細長い周辺部分上に設けられている。また、遮光性の周辺見切り53をTFTアレ基板1上に設けても良い。この様な構成を採れば、TFTアレ基板1上と対向基板2の貼り合わせ精度が無視できるため、液晶パネルの光透過率がばらつかない。尚、プリチャージ回路201やサンプリング回路をデータ線駆動回路101内に設けても良いことは言うまでもない。

【0056】図2及び図3において、TFTアレ基板1の上には、複数の画素電極11により規定される画面表示領域（即ち、実際に液晶層50の配向状態変化により画像が表示される液晶パネルの領域）の周囲において両基板を貼り合わせて液晶層50を包囲するシール部材の一例としての光硬化性樹脂からなるシール材52が、画面表示領域に沿って設けられている。そして、対向基板2上における画面表示領域とシール材52との間には、遮光性の周辺見切り53が設けられている。

【0057】周辺見切り53は、後に画面表示領域に対応して開口部が設けられた遮光性のケースにTFTアレ基板1が入れられた場合に、当該画面表示領域が製造誤差等により当該ケースの開口の縁に隠れてしまわないように、即ち、例えばTFTアレ基板1のケースに対する数百 μ m程度のずれを許容するように、画面表示領域の周囲に少なくとも500 μ m以上程度の幅を持つ帯状の遮光性材料から形成されたものである。このような遮光性の周辺見切り53は、例えば、Cr（クロム）やNi（ニッケル）などの金属材料を用いたスパッタリング、フォトリソグラフィ及びエッチングにより対向基板2に形成される。或いは、カーボンやTi（チタン）をフォトレジストに分散した樹脂ブラックなどの材料から形成される。

【0058】シール材52の外側の領域には、画面表示領域の下辺に沿ってデータ線駆動回路101及び実装端子102が設けられており、画面表示領域の左右の2辺に沿って走査線駆動回路104が画面表示領域の両側に設けられている。ここで、走査線31の配線遅延が問題

14

にならないような場合、走査線駆動回路104は、走査線31に対して片側のみに形成しても良い。更に画面表示領域の上辺には、複数の配線105が設けられている。また、対向基板2のコーナー部の少なくとも1箇所で、TFTアレ基板1と対向基板2との間で電氣的導通をとるための導通材からなる銀点106が設けられている。そして、シール材52とほぼ同じ輪郭を持つ対向基板2が当該シール材52によりTFTアレ基板1に固着されている。

10 【0059】（プリチャージ回路及びサンプリング回路の第1の実施の形態）次に、プリチャージ回路201及びサンプリング回路301を構成するスイッチング素子NR1~NRnとスイッチング素子SH1~SHnの具体的な回路構成について図4及び図5を参照して夫々説明する。尚、図4は、プリチャージ回路201のスイッチング素子NR1~NRnを構成する各種のTFTを示す回路図であり、図5は、サンプリング回路301のスイッチング素子SH1~SHnを構成する各種のTFTを示す回路図である。

20 【0060】図4（1）に示すようにプリチャージ回路201のスイッチング素子NR1~NRn（図1参照）は、Nチャネル型TFT202aから構成されてもよいし、図4（2）に示すようにPチャネル型TFT202bから構成されてもよいし、図4（3）に示すようにNチャネル型TFTとPチャネル型TFTが並列に接続された相補型TFT202cから構成されてもよい。尚、図4（1）から図4（3）において、図1に示したプリチャージ回路駆動信号線206を介して入力されるプリチャージ回路駆動信号206a、206bは、ゲート電圧として各TFT202a~202cに入力され、同じく図1に示したプリチャージ信号線204を介して入力されるプリチャージ信号NRSは、ソース電圧として各TFT202a~202cに入力される。

30 【0061】Nチャネル型TFTの202aにゲート電圧として印加されるプリチャージ回路駆動信号206aと、Pチャネル型TFT202bにゲート電圧として印加されるプリチャージ回路駆動信号202bとは、相互に反転信号である。従って、プリチャージ回路201を相補型TFT202cで構成する場合には、プリチャージ回路駆動信号線206が少なくとも2本以上必要となる。この場合、例えばTFT202cの直前でプリチャージ回路駆動信号206aをインバータにより反転させて、その反転信号206bを波形形成しても良い。

40 【0062】図5（1）に示すようにサンプリング回路301のスイッチング素子SH1~SHn（図1参照）は、Nチャネル型TFT302aから構成されてもよいし、図5（2）に示すようにPチャネル型TFT302bから構成されてもよいし、図5（3）に示すように相補型TFT302cから構成されてもよい。尚、図5（1）から図5（3）において、図1に示した画像信号

50

(9)

15

線304を介して入力される画像信号VIDは、ソース電圧として各TFT302a~302cに入力され、同じく図1に示したデータ線駆動回路101からサンプリング回路駆動信号線306を介して入力されるサンプリング回路駆動信号306a、306bは、ゲート電圧として各TFT302a~302cに入力される。

【0063】また、サンプリング回路301においても、前述のプリチャージ回路201の場合と同様に、Nチャンネル型TFT302aにゲート電圧として印加されるサンプリング回路駆動信号306aと、Pチャンネル型TFT302bにゲート電圧として印加されるサンプリング回路駆動信号306bとは、相互に反転信号である。従って、サンプリング回路301を相補型TFT302cで構成する場合には、サンプリング回路駆動信号306a、306b用のサンプリング回路駆動信号線306が少なくとも2本以上必要である。サンプリング回路301の場合においても、例えば相補型TFT302cの直前で、サンプリング回路駆動信号306aをインバータにより反転させて、その反転信号306bを波形形成しても良い。

【0064】(駆動回路の第1の実施の形態)次に、駆動回路の第1の実施の形態について図6から図11を参照して説明する。尚、図6は、第1の実施の形態におけるデータ線駆動回路を示した図、図7はデータ線駆動回路を構成するシフトレジスタの各段の構成を示す回路図、図8(a)は本実施形態のデータ線駆動回路におけるクロックドインバータの回路記号を示す図、図8

(b)は図8(a)のクロックドインバータの回路構成を示す図、図9は図6のデータ線駆動回路における各種信号のタイミングチャート、図10は図6のデータ線駆動回路におけるプリチャージのタイミングを示すタイミングチャート、図11は各表示モードにおける1水平帰線期間とプリチャージ期間を示す図である。

【0065】まず、データ線駆動回路について説明する。

【0066】図6に示すように、データ線駆動回路101を構成する画像信号用駆動回路501及びプリチャージ信号用駆動回路401は、夫々第1のシフトレジスタとしてのシフトレジスタ502及びAND回路等の波形制御回路を含むバッファ回路503と、前記シフトレジスタ402と同様の構成の第2のシフトレジスタとしてのシフトレジスタ402及びバッファ回路403とを含んで構成される。

【0067】本実施の形態では、データ線駆動手段の一例としてのデータ線駆動回路101を構成する画像信号用駆動回路501及びプリチャージ信号用駆動回路401は、図1に示すX方向(P1、P2、P3、…、Pn及びX1、X2、X3、…、Xnの順で走査する方向)に対応する転送方向で、シフトレジスタ502、402の各段から夫々第1駆動信号としてのサンプリング回路

16

駆動信号及び第2駆動信号としてのプリチャージ回路駆動信号を順次出力し、バッファ回路503、403を介してサンプリング回路301及びプリチャージ回路201に供給する。

【0068】尚、画像信号用駆動回路501においては、AND回路等の波形制御回路を含むバッファ回路503を外部からのイネーブル信号により奇数列と偶数列のバッファ回路503を制御することにより各サンプリング回路駆動信号のオン状態の期間が重複しないように波形を選択してサンプリング回路駆動信号を生成し、サンプリング回路301に順次供給するように構成されている。これにより、前後のサンプリング回路301に書き込む信号を取り込むことがなくなるので、ゴースト等による表示品位の劣化を防ぐことができる。

【0069】画像信号用駆動回路501のシフトレジスタ502には、サンプリング回路駆動信号の転送をスタートさせるための第1転送開始信号としてのスタート信号SPXが、A方向から入力される。そして、図9のタイミングチャートに示すタイミングで、スタート信号SPX、クロック信号CLX及びその反転信号CLXINVが入力されると、画像信号用駆動回路501は、スタート信号SPXのパルス幅よりも狭い幅のサンプリング回路駆動信号SHを、順次クロック信号CLXの半周期分遅らせて、サンプリング回路301に供給するように構成されている。

【0070】一方、プリチャージ信号用駆動回路401のシフトレジスタ402には、プリチャージの期間を設定するための第2転送開始信号としてのプリチャージ期間設定パルス信号NRGがA方向から入力されるように構成されている。必ず、同じ1水平帰線期間内では、常にプリチャージ期間設定パルス信号NRGが、画像信号用駆動回路501のスタート信号SPXよりも先に入力されるように設定する。そして、図9のタイミングチャートに示すタイミングで、このプリチャージ期間設定パルス信号NRG、クロック信号CLX及びその反転信号CLXINVが入力されると、プリチャージ信号用駆動回路401は、プリチャージ期間設定パルス信号NRGのパルス幅と等しい幅のプリチャージ回路駆動信号を、順次クロック信号の半周期分遅らせてプリチャージ回路201に供給するようにバッファ回路403はインバータを多段カスケード接続して、信号増幅と波形形成を行うように構成されている。ここで、バッファ回路403を画像信号用駆動回路501のバッファ回路503と同様に、AND回路等の波形制御回路を設けてもよい。このような構成を採れば、液晶パネルの外部に接続される表示情報処理回路等からのイネーブル信号により、プリチャージ回路駆動信号のパルス幅をプリチャージ期間設定パルス信号NRGのパルス幅の期間において

【0071】尚、走査線駆動回路104については図示

(10)

17

を省略するが、画像信号用駆動回路501と同様なシフトレジスタ及びバッファ回路を備えて構成されている。

【0072】次に、シフトレジスタ402、502について詳述する。

【0073】図6に示すように、シフトレジスタ402、502の各段は、クロックドインバータとインバータを含んで構成されている。更に詳しくは、図7に示すように、クロックドインバータ130から構成される信号取込部150と、インバータ132から構成される信号伝搬部151と、インバータ132に帰還をかけるように接続されたクロックドインバータ131から構成される帰還部152とから成り、スタティック型のラッチ回路構成されている。尚、帰還部152を省いて、インバータ132の出力部に容量を付加することでダイナミック型のラッチ回路を設けてもよい。更に、クロックドインバータ130及び131を後述のトランスマッションゲートで構成しても同様の機能を果たす。このようにトランスマッションゲートを用いる場合は、信号伝搬部151のインバータは2段カスケード接続する必要があることは言うまでもない。

【0074】クロックドインバータは、図8(a)に示す記号により表され、入力端子及び出力端子の他にゲート端子が備えられている。そして、その回路構成は、図8(b)のようになっており、Nチャネル型TFTのゲート端子に入力される信号がハイレベルで、Pチャネル型TFTのゲート端子に入力される信号がローレベルの場合に、通常のインバータ回路として動作する。また、Nチャネル型TFTのゲート端子に入力される信号がローレベルで、Pチャネル型TFTのゲート端子に入力される信号がハイレベルの場合には、出力はハイインピーダンス状態となる。尚、本出願の図面において、クロックドインバータを表記する場合には、図8(a)に示すように、Nチャネル型TFTのゲート端子に接続される信号のみを表すものとする。また、この表記規則は、クロックドインバータに限らず、ゲート端子を有する回路において同様である。

【0075】本実施形態では、シフトレジスタ402、502の各段を、以上のような回路により構成したため、例えば信号取込部150のクロックドインバータ130にクロック信号CLXが入力され、帰還部152のクロックドインバータ131にクロック信号の反転信号CLX_{INV}が入力される場合であって、図9に示すようにハイレベルに立ち上がるプリチャージ期間設定パルス信号NRGが図7に示す回路の入力信号線INに入力される場合には、次のような動作が行われる。まず、クロック信号CLXの立ち上がりでクロックドインバータ130によって前記パルス信号NRGが取り込まれ、インバータ132を介してハイレベルの信号が出力信号線OUTから出力される。そして、この出力状態は、クロッ

18

ク信号CLXがハイレベルの期間中保持される。次に、クロック信号CLXが立ち下がると、クロックドインバータ130の出力はハイインピーダンス状態となるが、前記出力信号線OUTのレベルは、ゲート端子にクロック信号CLXの反転信号CLX_{INV}が入力されたクロックドインバータ回路131によってインバータ132の入力側に帰還されているため、クロック信号CLXの立ち下がり、即ち反転信号CLX_{INV}の立ち上がりから帰還が行われて、前記出力信号線OUTのレベルはハイレベルを維持することになる。そして、反転信号CLX_{INV}の立ち下がり、即ちクロック信号CLXの立ち上がりにおいて、入力信号線INに入力される信号が取り込まれるが、このタイミングにおいては、図9に示すように前記信号NRGはローレベルであり、出力信号線OUTのレベルもローレベルとなる。このようにして、出力信号線OUTからは、入力されたパルス信号NRGと同じ幅のパルス信号が出力されることになる。

【0076】以上のような回路をシフトレジスタ402、502の各段に備え、クロックドインバータ130とクロックドインバータ131のゲート端子に入力するクロック信号CLXと反転信号CLX_{INV}を各段毎に交互に入れ換えることにより、図9に示すように、クロック信号CLXの半周期ずつずれたパルス信号が、プリチャージ回路駆動信号として、プリチャージ回路NR1～NR_nに供給されることになる。また、スタート信号SPXを転送する画像信号用駆動回路501のシフトレジスタ502から出力される信号も、スタート信号SPXと同じ幅を持つパルス信号であるが、当該パルス信号は、画像信号用駆動回路501のバッファ回路503に備えられたAND回路等の波形制御回路により、各段毎に図9に示すようなイネーブル信号ENB1またはENB2との間で論理積がとられる。このイネーブル信号ENB1またはENB2のパルス幅は、クロック信号CLXの半周期と同じか或いは狭いパルス幅を有しているため、サンプリング回路駆動信号として、図9に示すようなハイレベルの期間が重複しないパルス信号が、サンプリング回路SH1～SH_nに供給されることになる。このように、画像信号をサンプリングさせる際には、各データ線35間で同時に画像信号が画素領域のTFT30に供給されることが無いように構成し、ゴースト等の発生を防止している。

【0077】また、図9に示すように、プリチャージ期間設定パルス信号NRGは、スタート信号SPXよりも所定期間 t_m だけ早く出力されるように構成されているため、画像信号がサンプリングされるタイミングに先行して、プリチャージ回路201が導通状態となり、プリチャージ信号線204を介して供給されるプリチャージ信号NR_Sが、各データ線35に供給される。プリチャージ信号は、適宜の電位レベルに設定された信号であり、このようなプリチャージ信号が画像信号のデータ線

(11)

19

35への供給に先行して当該データ線35に書き込まれることにより、画像信号を当該データ線35に書き込む際に必要な電荷量を顕著に少なくすることができる。また、画像信号が高いレートでデータ線35に供給される場合でも、各データ線35の電位レベルを安定させ、表示画面上のラインむらの低減、コントラスト比の向上を図ることができる。

【0078】また、本実施形態では、液晶を交流駆動するために、1水平走査期間（1フレーム）あるいは1フィールド（例えば2フレーム）といった所定周期毎に、画像信号の電圧極性を反転させるが、上述のように、各画像信号がTFT30に供給される前に、各データ線35には、好ましくは中間階調レベルの画像信号に相当し、該画像信号と同一極性のプリチャージ信号が供給されているので、画像信号を書き込む際の負荷は軽減されており、データ線35の電位レベルは、前回に印加された電位レベルによらずに安定している。このため、今回の画像信号を各データ線35に安定した電位により供給することができる。

【0079】特に、本実施形態では、上述したようにデータ線35に対して線順次にプリチャージ信号を書き込むため、高速表示モードで液晶パネルの駆動を行う場合に有効である。図10は、本実施形態のプリチャージのタイミングを示すタイミングチャートである。画像信号の極性を1水平走査期間毎に行う構成の場合には、水平帰線期間内であって、画像信号の極性の反転が完了してからスタート信号SPXが立ち上がるまでの期間tにプリチャージ期間設定パルス信号NRGを出力する必要がある。この1水平帰線期間は、図11に示すように表示モードによって異なり、例えばVGA、あるいはSVGAといった表示モードでは、垂直方向の周波数によっても左右されるが約60Hzだとすると1水平帰線期間は約6.4μsecである。このように1水平帰線期間が十分に長い場合には、例えばプリチャージ期間として約3.9μsec程度確保することができ、プリチャージ期間設定パルス信号NRGがハイレベルの期間（すなわち図9のtNR）中に全てのデータ線に対して一括してプリチャージを行う方式であっても十分なプリチャージを行うことができた。しかしながら、例えばXGAあるいはEWSといった表示モードでは、水平帰線期間が4.1μsecあるいは3.8μsec程度と短く、プリチャージ期間としてはXGAモードにあつては約1.6μsec、EWSモードにあつては約1.3μsecと極端に短く、従来のような一括したプリチャージ方式では十分なプリチャージを行うことはできなかった。特に、EWSモードにあつては、水平方向の画素数が1280個であるため、少なくとも1280段分のプリチャージを一括して行う必要があるが、プリチャージ回路のTFTの駆動能力及びデータ線の時定数を考え合わせると、1.0μsec以上のプリチャージ期間が必要で

20

あり、プリチャージを十分に行うことはできなかった。

【0080】これに対し、本実施形態においては、上述したようにデータ線に対して線順次にプリチャージを行うため、プリチャージ時における負荷は、データ線1本分であり、仮に数本まとめてプリチャージを行ったとしても、負荷となるデータ線の容量は従来に比べて著しく少ない。例えば、データ線数本分の容量が20pF程度であり、プリチャージ回路のTFTのオン抵抗が1kΩだとすると、図10に示すプリチャージ期間tNRは1μsec程度で十分である。従って、本実施形態では、表示モードとしてEWSモードのような高速表示モードを採用した場合でも十分なプリチャージを行うことができる。

【0081】本実施形態では、図10に示すように、プリチャージ期間の終了からスタート信号SPXの立ち上がりまで期間tmが設けられている。この期間tmは、信号遅延等の問題を考慮してNRGあるいはSPXの信号を外部から制御することにより自由に設定可能である。

【0082】本発明が極めて優れた効果を奏するのは、シフトレジスタの構成を上述のように簡素な構成としたためである。シフトレジスタの構成が簡素であるために、その占有面積を小さくすることができ、プリチャージ回路を配置する面積も十分に確保することができ、その結果、TFTのサイズを極端に小さくする必要はなくなる。そして、上述のようにプリチャージ時の負荷も小さいので、表示モードがEWSモード等の高速表示モードであっても1μsec程度のプリチャージ期間で十分なプリチャージを行うことができる。更に、プリチャージ期間の完了から画像信号用のスタート信号の立ち上がりまでの期間tmを十分に確保できるので、画像信号を適切に書き込むことができる。

【0083】本実施形態においては、図1に示すように、データ駆動回路101内に画像信号用駆動回路501と共にプリチャージ用駆動回路401を設け、更に画像信号用駆動回路501とプリチャージ用駆動回路において、クロック信号CLX及び反転信号CLXINVの信号線パターンを共通化した構成になっているため、液晶装置の小型化を図った場合でもプリチャージ用のシフトレジスタを備えた駆動装置を設けることができる。

【0084】また、本実施形態によれば、図6に記載したような簡素な構成のシフトレジスタを採用したために、プリチャージ用のシフトレジスタと画像信号用のシフトレジスタを小さな領域に併設することが可能であり、更に、双方のシフトレジスタの中間部分にクロック信号CLX及び反転信号CLXINVの信号線パターンを設けるように構成すれば、データ線駆動回路の占有面積を小さく保つことが可能である。

【0085】尚、本実施形態においても、プリチャージ回路のTFTサイズを大きくするには限界があるが、上

(12)

21

述したように、線順次によるプリチャージを行うためにプリチャージ時のデータ線の容量の負荷が小さく、図10に示すように、たとえ1水平帰線期間が短くても、短いプリチャージ期間で十分なプリチャージを行うことが可能である。つまり、図10に示す期間 t_1 内であれば、いつでもプリチャージ期間設定パルス信号NRGを出力することができる。従って、TFTサイズを大きくすることが出来ない場合でも、プリチャージ期間設定パルス信号NRGの出力開始タイミングを早めることにより、スタート信号SPXの立ち上がりまでの期間 t_m を十分に確保しつつ、プリチャージ期間設定パルス信号NRGのパルス幅 t_{NR} をある程度長くすることが出来るので、オン抵抗を十分に下げられない場合でも、十分なプリチャージと適正な画像信号の書き込み、更には液晶装置の小型化を両立することが可能である。

【0086】(駆動回路の第2の実施形態)次に、本発明の駆動回路の第2の実施形態を、図12乃至図16に基づいて説明する。尚、第1の実施形態との共通箇所には同一符号を付して説明を省略する。

【0087】本実施形態は、図12に示すプリチャージ信号用駆動回路401及び画像信号用駆動回路501のシフトレジスタとして、図13に示すように、双方向性シフトレジスタを用いたところが第1の実施形態と異なる。図13にはシフトレジスタ402と502が示されているが、これらのシフトレジスタはAからB方向にシフトするシフトレジスタとして機能する場合と、BからA方向にシフトするシフトレジスタとして機能する場合とに切り替え可能である、いわゆる双方向性シフトレジスタである。

【0088】双方向性シフトレジスタは、図13に示すように、シフトレジスタを全てクロックドインバータで構成し、信号取込部のクロックドインバータ及び帰還部のクロックドインバータと直列に、転送方向制御用のクロックドインバータを接続したものである。この転送方向制御用のクロックドインバータのゲート端子には転送方向制御信号DX及びこの反転信号であるDXINVが入力されるように構成されており、転送方向制御信号DXがハイレベルの場合には、図13におけるAからBの方向へ信号の転送が行われ、反転信号DXINVがハイレベルの場合には、BからAの方向へ信号の転送が行われる。

【0089】双方向性シフトレジスタの基本的な動作は、第1の実施形態のシフトレジスタと同様であり、図13におけるAからBの方向へ信号の転送が行われる場合には、図14に示すように、プリチャージ回路201のスイッチング素子NR1からNRnへの方向に、またはサンプリング回路301のスイッチング素子SH1からSHnへの方向に駆動信号の供給が順次行われる。

【0090】一方、図13におけるBからAの方向へ信号の転送が行われる場合には、図15に示すように、プ

22

リチャージ回路201のスイッチング素子NRnからNR1への方向に、またはサンプリング回路301のスイッチング素子SHnからSH1への方向に駆動信号の供給が順次行われる。

【0091】双方向性シフトレジスタを備える構成とした場合には、第1の実施形態の場合に比べて更に転送方向制御信号DX及び反転信号DXINVのパターンの引き回しが必要となるが、本実施形態においては、転送方向制御信号DX及び反転信号DXINVを両方の双方向性シフトレジスタで共用化するように構成したので、データ線駆動回路の101の占有面積を小さく抑えることができる。また、第1の実施形態と同様に双方向性シフトレジスタ自体の構成も図13に示すように簡素であるため、第1の実施形態と同様に、液晶装置の小型化を実現しつつ、十分なプリチャージと適正な画像信号の書き込みを可能としている。

【0092】また、以上のような双方向性シフトレジスタを、走査線駆動回路104にも用いることにより、液晶プロジェクタのライトバルブとして液晶パネルを用いる場合には、色無しの(即ち、カラーフィルタが形成されていない)液晶パネルをRGB別に3枚用いる複板方式を採用することができ、表示画面を明るくして高品位の画質が得られる。この複板方式によれば、3枚の液晶パネルにより別々に光変調された3色光は、プリズムやダイクロイックミラーにより一つの投射光に合成された後、スクリーン上に投射される。このように、プリズム等で合成すると、図16に示すように、RGB用の3枚のライトバルブ500R、500G及び、500Bによる変調後にプリズム502で反射するR光及びB光と比べると、G光は、プリズム5002で反射されない。即ち、光の反転回数が一回だけG光について少なくなる。この現象は、もちろんG光の代わりに、R光又はB光がプリズムで反射されないように光学系を構成しても同じであり、更に、ダイクロイックミラー等を用いて3色光を合成した場合にも同様に起こる。従って、このような場合、G光についての画像信号を何等かの形で左右にひっくり返す必要性が生じる。

【0093】そこで、本実施形態のような双方向性シフトレジスタを備えた液晶パネルを用いれば、画像信号を左右にひっくり返すことができ、上述のような複板方式の液晶プロジェクタを構成することができる。

【0094】また、前記ライトバルブを備えた液晶プロジェクタには、色付きの(即ち、対向基板にカラーフィルタが形成された)液晶パネルを1枚だけ用いる単板方式があるが、本実施形態の液晶パネルを用いれば画像信号を上下左右にひっくり返すことができ、このような単板方式の液晶プロジェクタ、あるいは上述した複板方式の液晶プロジェクタを、床に普通に設置する床置きタイプとしても、天井に逆さに取り付け設置する天吊りタイプとしても使用可能に構成することが出来る。また、

(13)

23

携帯型ビデオカメラの液晶モニタのように、単板方式の液晶装置である液晶モニタを、ユーザの撮影姿勢に応じて、例えばフレキシブルジョイントを支点にひっくり返して見るができるようにすることも可能である。

【0095】（駆動回路の第3の実施の形態）次に、本発明の駆動回路の第3の実施形態を、図17乃至図19に基づいて説明する。尚、第1の実施形態または第2の実施形態との共通箇所には同一符号を付して説明を省略する。

【0096】本実施形態は、図17に示すように、双方向性シフトレジスタの転送方向制御部を、クロックドインバータではなく、トランスマッションゲート160で構成したところが、第2の実施形態と異なる。

【0097】図17に示す双方向性シフトレジスタは、転送方向制御信号DX及び反転信号DX_{INV}に応じて転送方向が固定される転送方向制御部が、トランスマッションゲート160で構成されており、クロック信号CLX及び反転信号CLX_{INV}に基づいて信号を取り込む信号取込部及び帰還部がクロックドインバータ130、131により構成されている。

【0098】トランスマッションゲート160は、図19(a)に示す記号で表され、図19(b)の回路構成を有している。トランスマッションゲート160は、ゲート電極に印加される方向制御信号DXまたはクロック信号CLXと、転送信号の入力側電極または出力側電極に印加される転送信号との電位差に応じてNチャネル型TFTとPチャネル型TFTが同時に導通状態になるため、クロックドインバータのように正電源VDD及び負電源VSSの供給を必要としない。従って、これらの電源パターンを引き回す必要がなくなり、双方向性シフトレジスタの隣接する各段の間隔を第2の実施形態の場合に比べて狭くすることができ、液晶装置のより一層の小型化が可能である。

【0099】また、図18に示すように、双方向性シフトレジスタの転送方向制御信号取込部及び帰還部を全て或いは一部をトランスマッションゲート160で構成しても良い。このように構成すれば、より一層液晶装置を小型化することが可能である。尚、トランスマッションゲートの代わりにPチャネル型TFT或いはNチャネル型TFTといった片チャネル型TFTで、双方向性シフトレジスタの転送方向制御信号取込部及び帰還部の全て或いは一部を構成してもよい。このような構成を採れば、周辺回路の集積化をより一層図ることができ、更に小型の液晶パネルを実現できる。

【0100】（駆動回路の第4の実施の形態）次に、本発明の駆動回路の第4の実施形態を、図20及び図21に基づいて説明する。尚、第1の実施形態または第2の実施形態との共通箇所には同一符号を付して説明を省略する。

【0101】本実施形態は、プリチャージ回路及びサン

24

プリング回路の複数のスイッチング素子を1本の駆動信号線で駆動するように構成したところが上述した各実施形態と異なる。

【0102】本実施形態は、図20に示すように、1本のプリチャージ回路駆動信号線206及びサンプリング回路駆動信号線306に対して、複数のスイッチング素子を接続し、図21に示すように、数本のデータ線に対するプリチャージ信号の書き込みタイミングを同時に設定する。従って、数本のデータ線に対して一度にプリチャージが行われることになるが、一度のプリチャージ時における負荷は小さく、短いプリチャージ期間で十分なプリチャージを行うことができる。

【0103】また、駆動信号線を減少させることができるため、プリチャージ信号用駆動回路401と画像信号用駆動回路501のシフトレジスタの各段の面積を上述した各実施形態よりも大きくすることができるため、パターン設計の容易化を図ることができる。

【0104】また、本実施例の形態によれば、例えばS1～S3のデータ線35に接続されるプリチャージ回路201のスイッチ素子NR1～NR3及びサンプリング回路301のスイッチ素子SH1～SH3を同時に駆動するように構成すれば、プリチャージ信号用駆動回路401及び画像信号用駆動回路501を構成するシフトレジスタの周波数を1/3に低減することが可能となり、外部制御回路の負荷が軽減される。またシフトレジスタの駆動周波数が低減されると、消費電流を小さくすることができるばかりでなく、シフトレジスタを構成するTFTの寿命を伸ばすことができ、信頼性の高い液晶パネルを提供できる。

【0105】以上、夫々駆動回路の実施形態について説明したが、データ線駆動回路のプリチャージ信号用駆動回路及び画像信号用駆動回路、プリチャージ回路、サンプリング回路、または走査線駆動回路は、夫々画素領域のTFT30とほぼ同一の薄膜形成工程で相補型のTFTを形成することができ、製造上有利である。

【0106】尚、上述した各実施形態においては、データ線駆動回路及び走査線駆動回路に対して、クロック信号あるいは画像信号等を出力する外部制御回路を、液晶装置の外部に設けた場合について説明したが、本発明はこれに限られるものではなく、当該制御回路を液晶装置内に設けるようにしても良い。

【0107】また、以上説明した各実施形態においては、プリチャージ回路201をデータ線駆動回路101側に設けたので、データ線35を挟んで反対側の領域Aには、図2に示すように、検査回路を設けるようにしても良い。

【0108】また、上述した各実施形態の液晶装置の対向基板2の投射光が入射する側及びTFTアレイ基板1の投射光が出射する側には夫々、例えば、TN（ツイステッドネマティック）モード、STN（スーパーT

(14)

25

N) モード、D-STN (ダブルSTN) モード等の動作モードや、ノーマリーホワイトモード/ノーマリーブラックモードの別に応じて、偏光フィルム、位相差フィルム、偏光板などが所定の方角で配置される。

【0109】以上説明した液晶パネル10は、カラー液晶プロジェクタに適用されるため、3つの液晶パネル10がRGB用のライトバルブとして夫々用いられ、各パネルには夫々RGB色分解用のダイクロイックミラーを介して分解された各色の光が入射光として夫々入射されることになる。従って、各実施の形態では、対向基板2

に、カラーフィルタは設けられていない。しかしながら、液晶パネル10においても遮光層23の形成されていない画素電極11に対向する所定領域にRGBのカラーフィルタをその保護膜と共に、対向基板2上に形成してもよい。このようにすれば、液晶プロジェクタ以外の直視型や反射型のカラー液晶テレビなどのカラー液晶装置に本実施の形態の液晶パネルを適用できる。

【0110】また、液晶パネル10のスイッチング素子は、正スタガ型又はコプラナー型のポリシリコンTFTでも良いし、逆スタガ型のTFTやアモルファスシリコン等の他の形式のTFTに対しても、本実施の形態は有効である。

【0111】更に、液晶パネル10においては、一例として液晶層50をネマティック液晶から構成したが、液晶を高分子中に微小粒として分散させた高分子分散型液晶を用いれば、配向膜、並びに前述の偏光フィルム、偏光板等が不要となり、光利用効率が高まることによる液晶パネルの高輝度化や低消費電力化の利点が得られる。更に、画素電極11をAl等の反射率の高い金属膜から構成することにより、液晶パネル10を反射型液晶装置に適用する場合には、電圧無印加状態で液晶分子がほぼ垂直配向されたSH (スーパーホメオトロピック) 型液晶などを用いても良い。更にまた、液晶パネル10においては、液晶層50に対し垂直な電界 (縦電界) を印加するように対向基板2の側に共通電極2'1を設けているが、液晶層50に平行な電界 (横電界) を印加するように一対の横電界発生用の電極から画素電極11を夫々構成する (即ち、対向基板2の側には縦電界発生用の電極を設けることなく、TFTアレイ基板1の側に横電界発生用の電極を設ける) ことも可能である。このように横電界を用いると、縦電界を用いた場合よりも視野角を広げる上で有利である。その他、各種の液晶材料 (液晶相)、動作モード、液晶配列、駆動方法等に本実施の形態を適用することが可能である。

【0112】尚、データ線駆動回路101及び走査線駆動回路104は、TFTアレイ基板1の上に設ける代わりに、例えばTAB (テープオートメーテッドボンディング基板) 上に実装された駆動用LSIに、TFTアレイ基板1の周辺部に設けられた異方性導電フィルムを介して電氣的及び機械的に接続するようにしてもよい。

26

【0113】更にまた、以上の実施の形態において、特開平9-127497号公報、特公平3-52611号公報、特開平3-125123号公報、特開平8-171101号公報等に開示されているように、TFTアレイ基板1上においてTFT30に対向する位置 (即ち、TFT30の下側) にも、例えば高融点金属からなる遮光層を設けてもよい。このようにTFT30の下側にも遮光層を設ければ、TFTアレイ基板1の側からの戻り光等がTFT30に入射するのを未然に防ぐことができる。

【0114】(電子機器) 次に、以上詳細に説明した液晶装置200を備えた電子機器の実施の形態について図22から図25を参照して説明する。

【0115】先ず図22に、このように液晶装置200を備えた電子機器の概略構成を示す。

【0116】図22において、電子機器は、表示情報出力源1000、上述した外部表示情報処理回路1002、前述の走査線駆動回路104及びデータ線駆動回路101を含む表示駆動回路1004、液晶パネル10、クロック発生回路1008並びに電源回路1010を備えて構成されている。表示情報出力源1000は、ROM (Read Only Memory)、RAM (Random Access Memory)、光ディスク装置などのメモリ、テレビ信号を同調して出力する同調回路等を含んで構成され、クロック発生回路1008からのクロック信号に基づいて、所定フォーマットの画像信号などの表示情報を表示情報処理回路1002に出力する。表示情報処理回路1002は、増幅・極性反転回路、相展開回路、ローテーション回路、ガンマ補正回路、クランプ回路等の周知の各種処理回路を含んで構成されており、クロック発生回路1008からのクロック信号に基づいて入力された表示情報からデジタル信号を順次生成し、クロック信号CLKと共に表示駆動回路1004に出力する。表示駆動回路1004は、走査線駆動回路104及びデータ線駆動回路101によって前述の駆動方法により液晶パネル10を駆動する。電源回路1010は、上述の各回路に所定電源を供給する。尚、液晶パネル10を構成するTFTアレイ基板の上に、表示駆動回路1004を搭載してもよく、これに加えて表示情報処理回路1002を搭載してもよい。

【0117】このような構成の電子機器として、図23に示す液晶プロジェクタ、図24に示すマルチメディア対応のパーソナルコンピュータ (PC) 及びエンジニアリング・ワークステーション (EWS)、あるいは携帯電話、ワードプロセッサ、テレビ、ビューファインダ型又はモニタ直視型のビデオテープレコーダ、電子手帳、電子卓上計算機、カーナビゲーション装置、POS端末、タッチパネルを備えた装置などを挙げることができる。

【0118】次に図23から図25に、このように構成

(15)

27

された電子機器の具体例を夫々示す。図23において、電子機器の一例たる液晶プロジェクタ1100は、投射型の液晶プロジェクタであり、光源1110と、ダイクロイックミラー1113、1114と、反射ミラー1115、1116、1117と、入射レンズ1118、リレーレンズ1119、出射レンズ1120と、液晶ライトバルブ1122、1123、1124と、クロスダイクロイックプリズム1125と、投射レンズ1126とを備えて構成されている。液晶ライトバルブ1122、1123、1124は、上述した駆動回路1004がTFTアレイ基板上に搭載された液晶パネル10を含む液晶モジュールを3個用意し、夫々液晶ライトバルブとして用いたものである。また、光源1110はメタルハライド等のランプ1111とランプ1111の光を反射するリフレクタ1112とからなる。

【0119】以上のように構成される液晶プロジェクタ1100においては、青色光・緑色光反射のダイクロイックミラー1113は、光源1110からの白色光束のうちの赤色光を透過させるとともに、青色光と緑色光とを反射する。透過した赤色光は反射ミラー1117で反射されて、赤色光用液晶ライトバルブ1122に入射される。一方、ダイクロイックミラー1113で反射された色光のうち緑色光は緑色光反射のダイクロイックミラー1114によって反射され、緑色光用液晶ライトバルブ1123に入射される。また、青色光は第2のダイクロイックミラー1114も透過する。青色光に対しては、長い光路による光損失を防ぐため、入射レンズ1118、リレーレンズ1119、出射レンズ1120を含むリレーレンズ系からなる導光手段1121が設けられ、これを介して青色光が青色光用液晶ライトバルブ1124に入射される。各ライトバルブにより変調された3つの色光はクロスダイクロイックプリズム1125に入射する。このプリズムは4つの直角プリズムが貼り合わされ、その内面に赤光を反射する誘電体多層膜と青光を反射する誘電体多層膜とが十字状に形成されている。これらの誘電体多層膜によって3つの色光が合成されて、カラー画像を表す光が形成される。合成された光は、投射光学系である投射レンズ1126によってスクリーン1127上に投射され、画像が拡大されて表示される。

【0120】図24において、電子機器の他の例たるラップトップ型のパーソナルコンピュータ1200は、上述した液晶パネル10がトップカバーケース内に備えられた液晶ディスプレイ1206と、CPU、メモリ、モデム等を收容すると共にキーボード1202が組み込まれた本体部1204とを有する。

【0121】また、図25に示すように、液晶を2枚の透明基板1304a、1304bの間に封入し、上述した駆動回路1004をTFTアレイ基板上に搭載した液晶装置用基板1304を備え、当該液晶装置用基板13

28

04を構成する2枚の透明基板1304a、1304bの一方に、金属の導電膜が形成されたポリイミドテープ1322にICチップ1324を実装したTCP (Tape Carrier Package) 1320を接続して、電子機器用の一部品である液晶装置として生産、販売、使用することもできる。

【0122】以上、図23から図25を参照して説明した電子機器の他にも、液晶テレビ、ビューファインダー型またはモニタ直視型のビデオテープレコーダ、カーナビゲーション装置、電子手帳、電卓、ワードプロセッサ、ワークステーション、携帯電話、テレビ電話、POS端末、タッチパネルを備えた装置等が図21に示した電子機器の例として挙げられる。

【0123】なお、本発明は上記実施例に限定されるものではなく、本発明の要旨の範囲内で種々の変形実施が可能である。例えば、本発明は上述の各種の液晶パネルの駆動に適用されるものに限らず、エレクトロルミネセンス、プラズマディスプレイ装置にも適用可能である。

【0124】本実施の形態によれば、小型であり、かつ、十分なプリチャージ機能により画像信号の信号源の負荷を著しく軽減し、安定した画像表示の可能な液晶装置200を備えた各種の電子機器を実現できる。

【0125】

【発明の効果】以上説明したように、本発明の電気光学装置の駆動装置によれば、サンプリング回路に対する駆動信号だけでなく、プリチャージ回路に対する駆動信号をもシフトレジスタによりデータ線毎、或いは複数の隣接するデータ線群毎へ線順次に出力し、何れのシフトレジスタについても簡素な構成としてデータ線駆動回路内に設けられている。また、サンプリング回路用のシフトレジスタと、プリチャージ回路用のシフトレジスタには共通のクロック信号供給線からクロック信号が供給されるように構成したので、プリチャージ信号の書き込み期間の短縮化により高速表示モードに対応可能であり、かつ、簡素な構成でシフトレジスタの基板上におけるクロック信号供給線の占有面積を減少させることができ、電気光学装置の駆動回路を小型化することができる。

【図面の簡単な説明】

【図1】 液晶装置の第1の実施の形態におけるTFTアレイ基板上に形成された各種配線、周辺回路等のブロック図である。

【図2】 図1の液晶装置の全体構成を示す平面図である。

【図3】 図1の液晶装置の全体構成を示す断面図である。

【図4】 液晶装置に設けられたプリチャージ回路を構成するTFTの回路図である。

【図5】 液晶装置に設けられたサンプリング回路を構成するTFTの回路図である。

(16)

29

【図6】 図1の液晶装置におけるデータ線駆動回路及びプリチャージ回路並びにサンプリング回路の回路図である。

【図7】 図6のデータ線駆動回路を構成するシフトレジスタの各段の回路の回路図である。

【図8】 図7の回路を構成するクロックドインバータの回路記号を示す図、(b)は(a)のクロックドインバータの回路構成を示す回路図である。

【図9】 図1の液晶装置におけるデータ線駆動回路及びプリチャージ回路並びにサンプリング回路の動作を示すタイミングチャートである。

【図10】 図1の液晶装置におけるプリチャージのタイミングを示すタイミングチャートである。

【図11】 各種表示モードと1水平帰線期間及びプリチャージ期間の関係を示す図である。

【図12】 液晶装置の第2の実施の形態におけるTFTアレイ基板上に形成された各種配線、周辺回路等のブロック図である。

【図13】 図12の液晶装置におけるデータ線駆動回路及びプリチャージ回路並びにサンプリング回路の回路図である。

【図14】 図12の液晶装置において、方向制御信号がハイレベルの場合のデータ線駆動回路及びプリチャージ回路並びにサンプリング回路の動作を示すタイミングチャートである。

【図15】 図12の液晶装置において、方向制御信号の反転信号がハイレベルの場合のデータ線駆動回路及びプリチャージ回路並びにサンプリング回路の動作を示すタイミングチャートである。

【図16】 図12の液晶装置を用いた液晶プロジェクトのRGBの3色光を合成するプリズム光学系を示す概念図である。

【図17】 液晶装置の第3の実施の形態におけるシフトレジスタの構成を示す回路図である。

【図18】 液晶装置の第3の実施の形態におけるシフトレジスタの他の構成を示す回路図である。

【図19】 (a)は図17または図18のシフトレジスタを構成するトランスミッションゲートの回路記号を示す図、(b)は(a)のトランスミッションゲートの回路構成を示す回路図である。

【図20】 液晶装置の第4の実施の形態におけるTFTアレイ基板上に形成された各種配線、周辺回路等のブロック図である。

【図21】 図20の液晶装置において、方向制御信号の反転信号がハイレベルの場合のデータ線駆動回路及び

30

プリチャージ回路並びにサンプリング回路の動作を示すタイミングチャートである。

【図22】 本発明による電子機器の実施の形態の概略構成を示すブロック図である。

【図23】 電子機器の一例としての液晶プロジェクトを示す断面図である。

【図24】 電子機器の他の例としてのパーソナルコンピュータを示す正面図である。

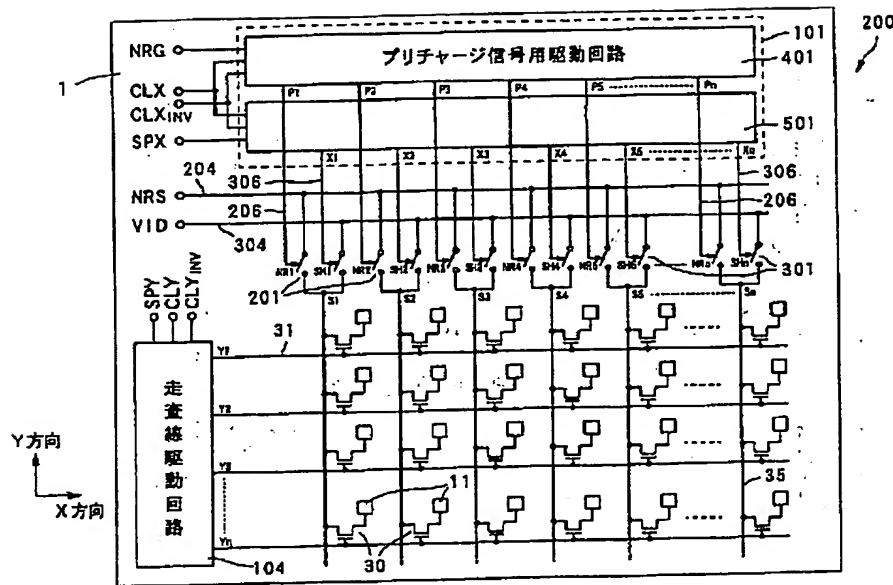
【図25】 電子機器の一例としてのTCPを用いた液晶装置を示す斜視図である。

【符号の説明】

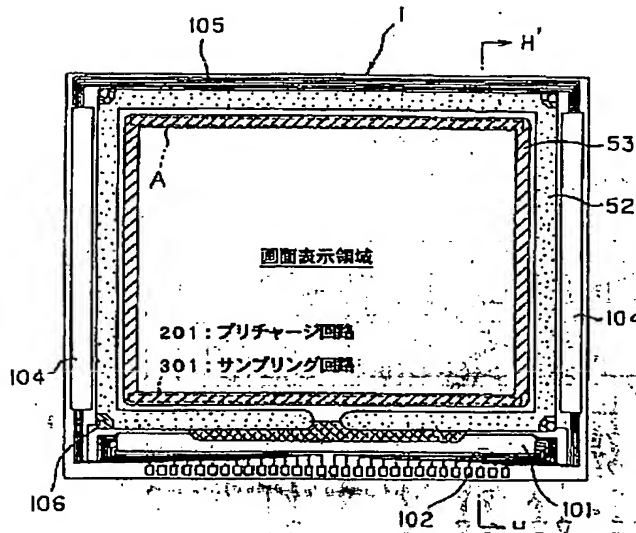
- 1…TFTアレイ基板
- 2…対向基板
- 10…液晶パネル
- 11…画素電極
- 21…共通電極
- 23…遮光層
- 30…TFT
- 31…走査線
- 35…データ線
- 50…液晶層
- 52…シール材
- 53…周辺見切り
- 101…データ線駆動回路
- 102…実装端子
- 130、131…クロックドインバータ
- 132…インバータ
- 150…信号取込部
- 151…信号伝搬部
- 152…帰還部
- 160…トランスミッションゲート
- 200…液晶装置
- 201…プリチャージ回路
- 204…プリチャージ信号供給線
- 206…プリチャージ回路駆動信号線
- 301…サンプリング回路
- 304…画像信号供給線
- 306…サンプリング回路駆動信号線
- 401…プリチャージ信号用駆動回路
- 402…シフトレジスタ
- 403…バッファ回路
- 501…画像信号用駆動回路
- 502…シフトレジスタ
- 503…バッファ回路

(17)

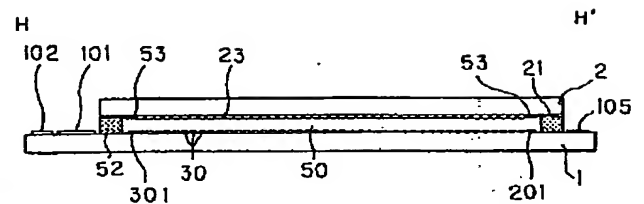
【図1】



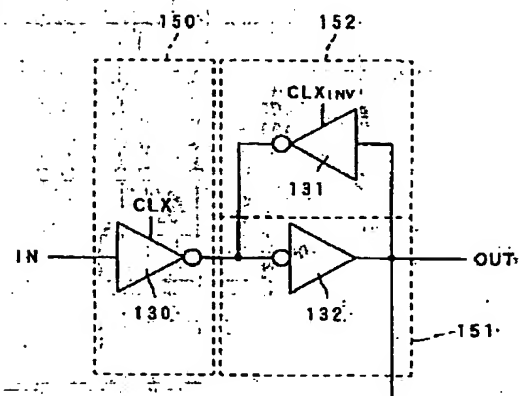
【図2】



【図3】

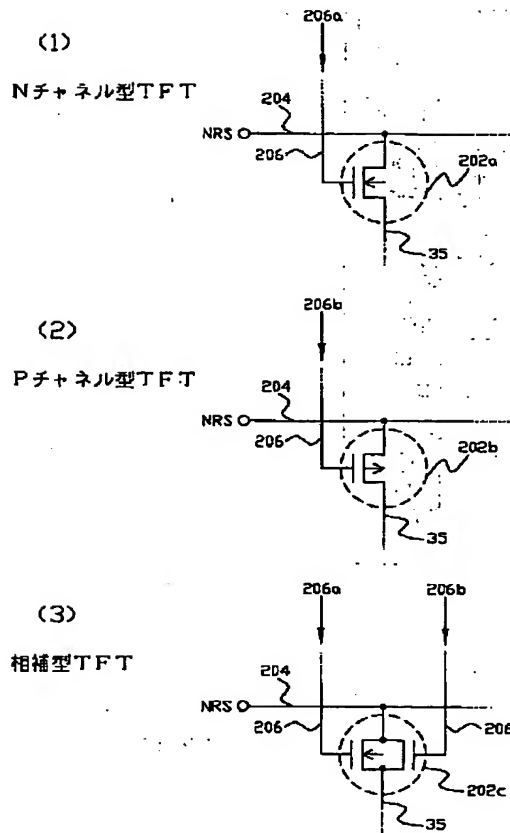


【図7】

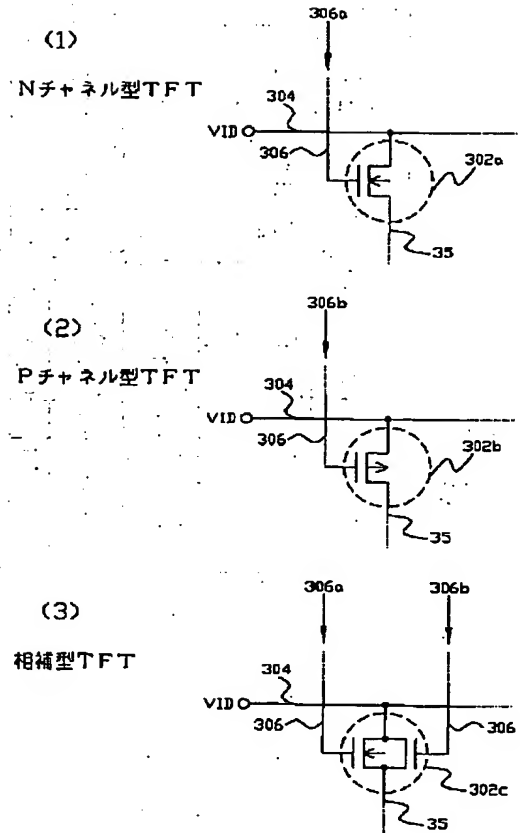


(18)

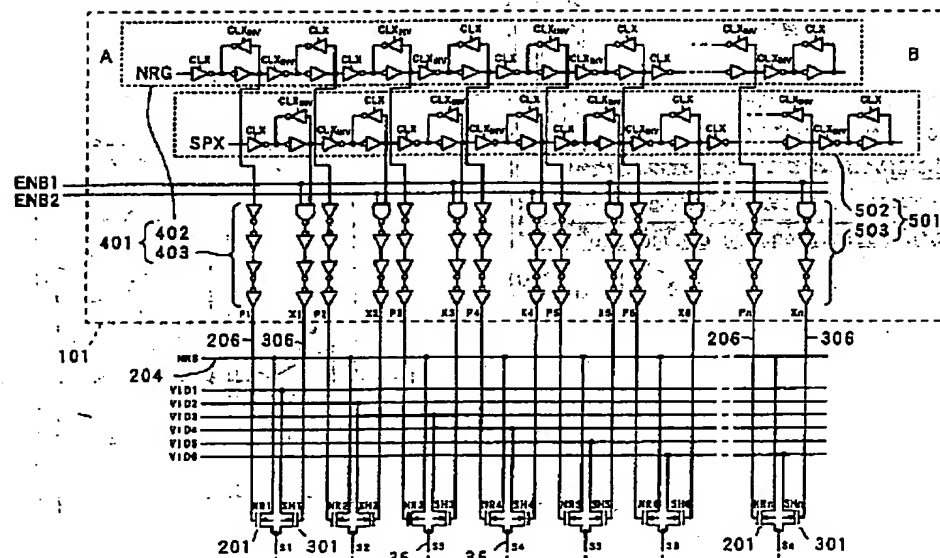
【図4】



【図5】

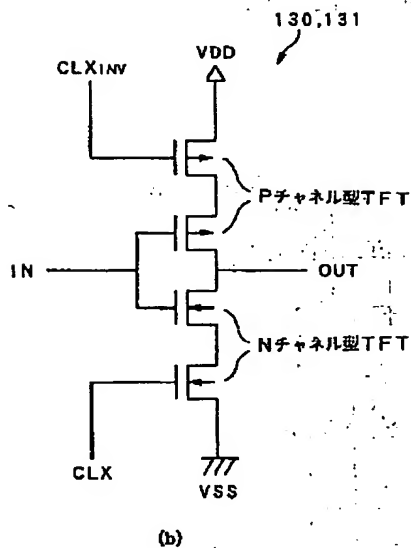
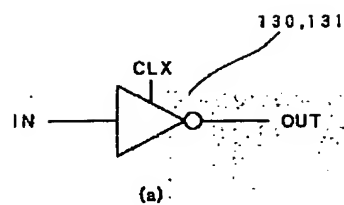


【図6】

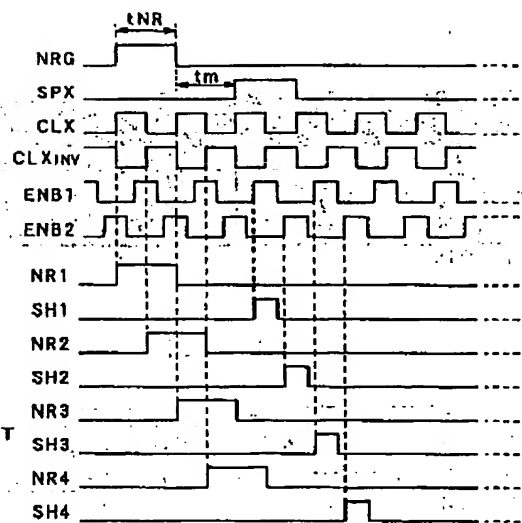


(19)

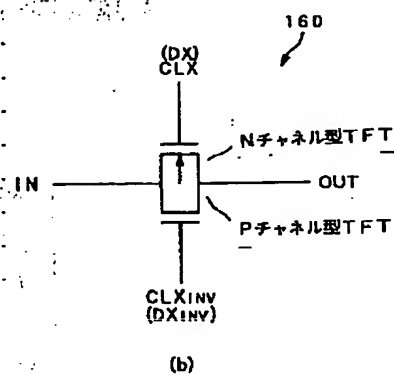
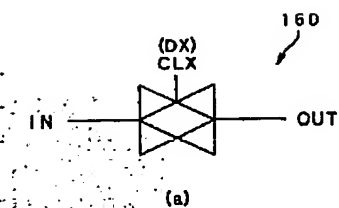
【図8】



【図9】

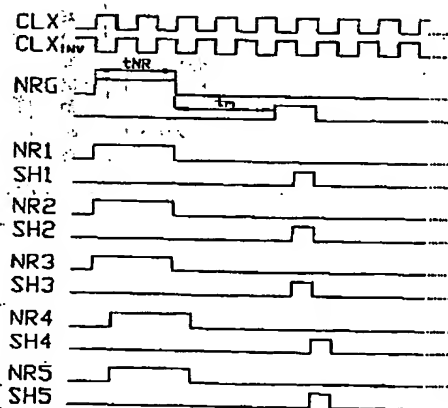
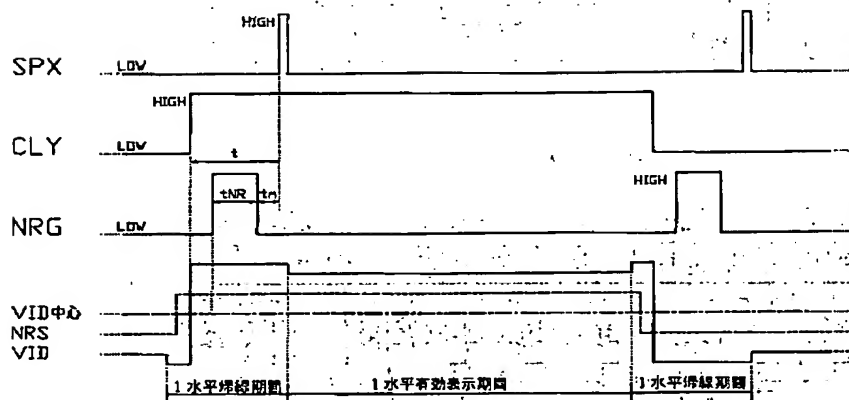


【図19】

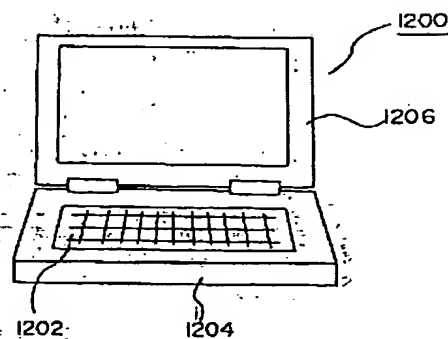


【図21】

【図10】



【図24】



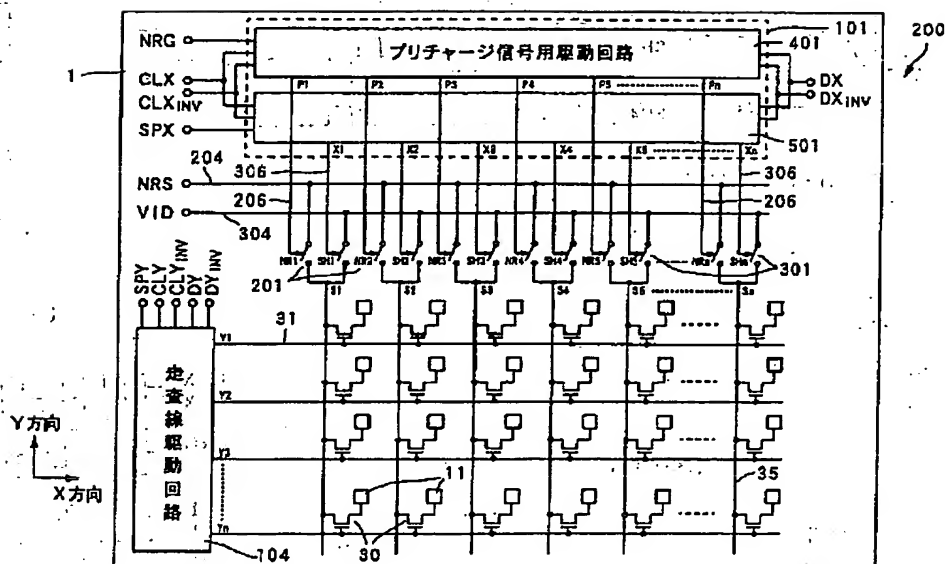
(20)

【図11】

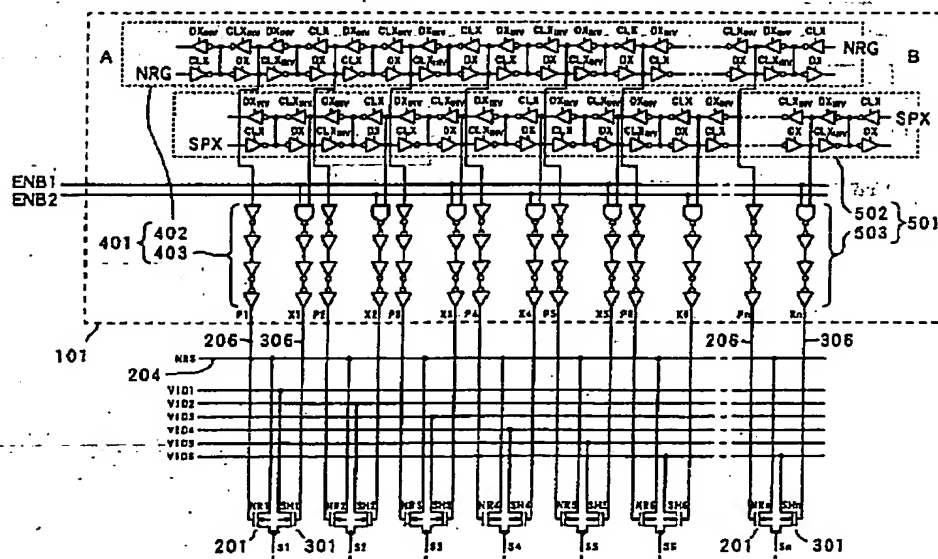
VGA(25MHz)	640	480	31.47	6.4	3.9
SVGA(40MHz)	800	600	37.88	6.4	3.9
XGA(65MHz)	1024	768	48.36	4.1	1.6
EWS(108MHz)	1280	1024	63.98	3.8	1.3

※垂直周波数は約80KHz

【図12】

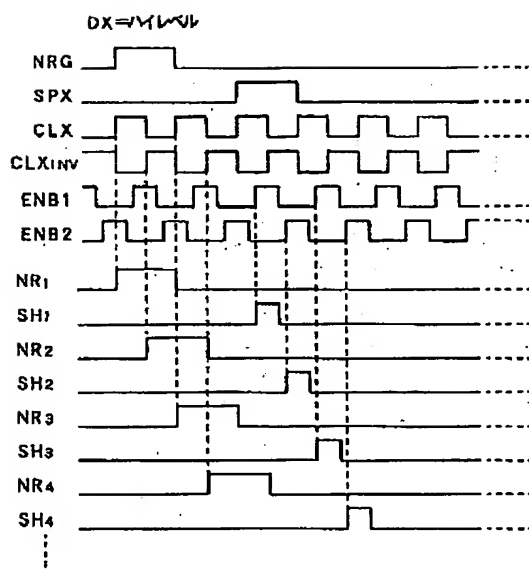


【図13】

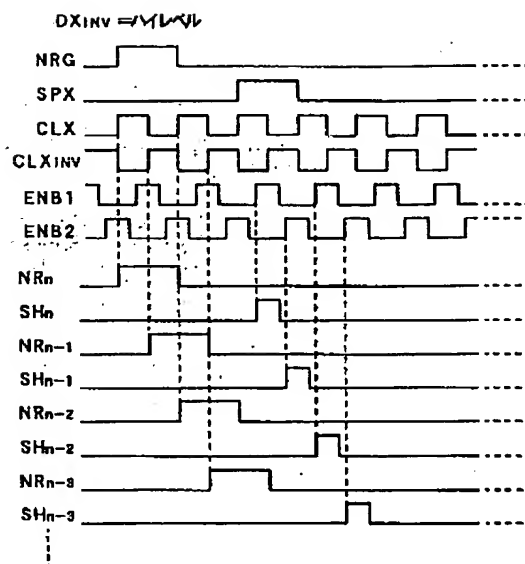


(21)

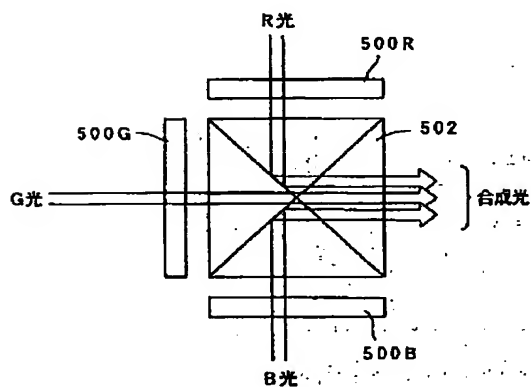
【図 14】



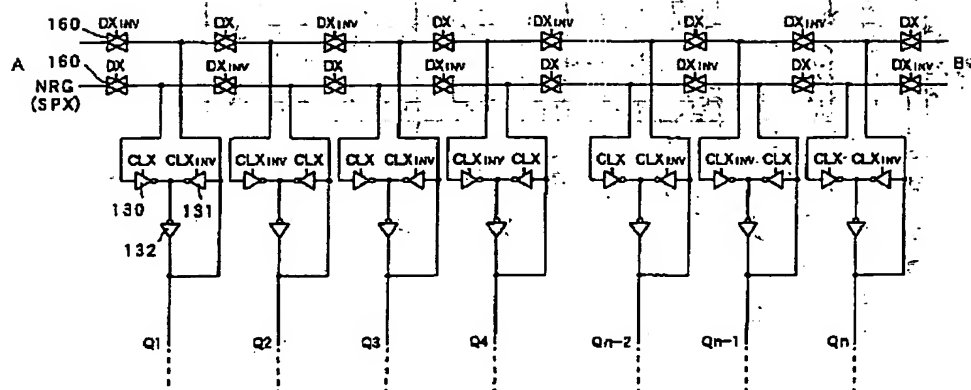
【図 15】



【图 16】

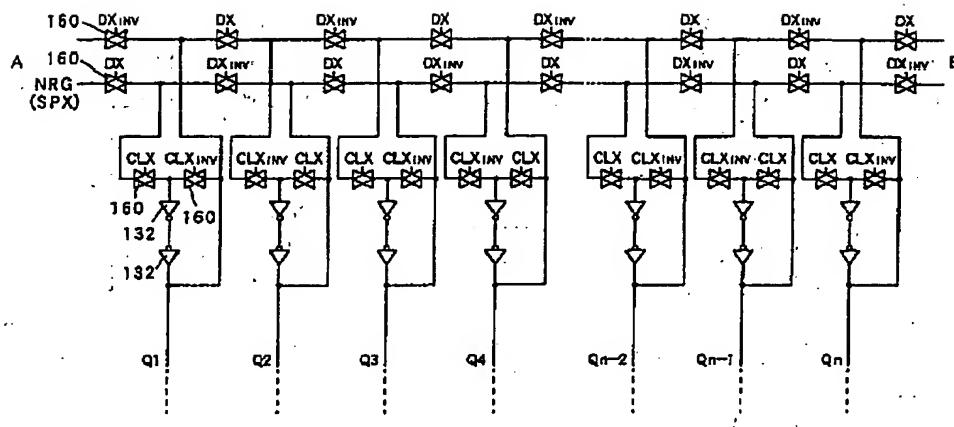


【図 17】

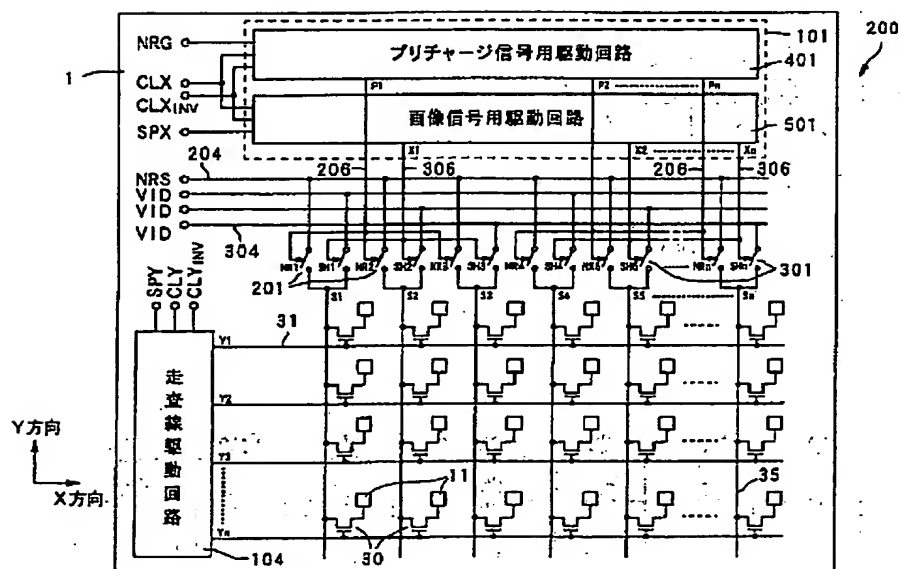


(22)

【図18】

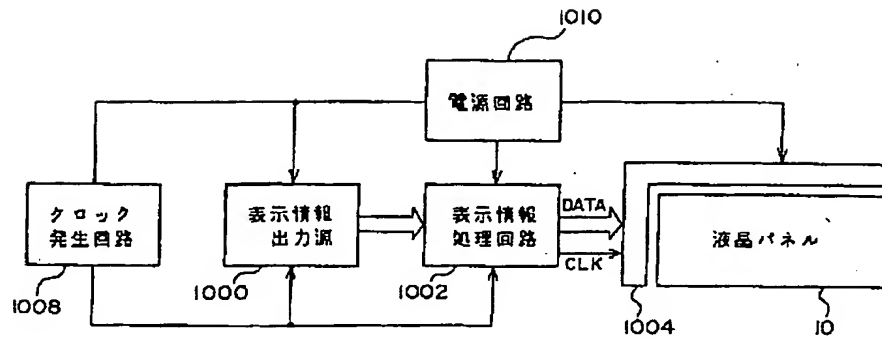


【図20】

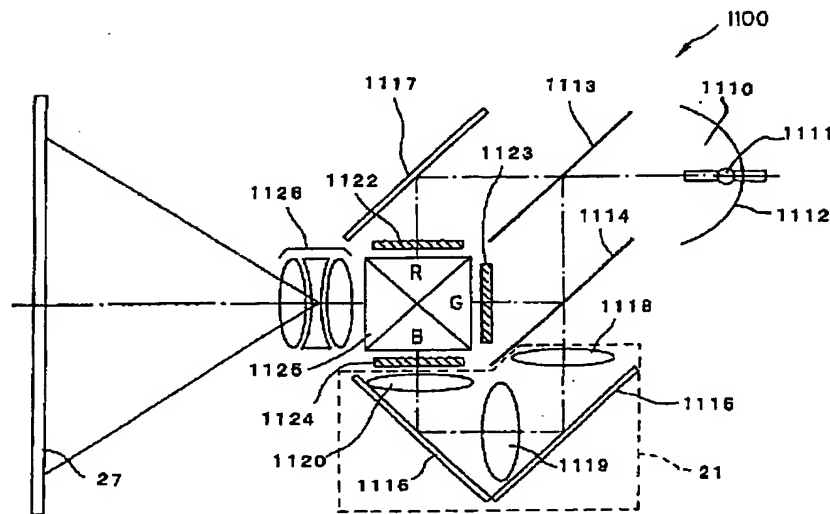


(23)

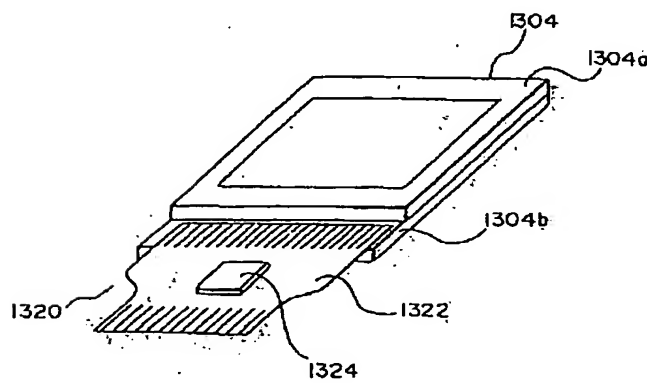
【図22】



【図23】



【図25】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.